

特開 2002-15575

(P 2002-15575A)

(43)公開日 平成14年1月18日(2002. 1. 18)

(51) Int. Cl.⁷

識別記号

FI

テーマコート* (参考)

G 1 1 C 11/407
 11/403

G 1 1 C 11/34 3 6 2 S 5M024
 3 6 3 M

審査請求 未請求 請求項の数 1 2 O L

(全58頁)

(21)出願番号 特願2001-113443(P2001-113443)

(22) 出願日 平成13年4月12日 (2001. 4. 12)

(31) 優先權主張番号 特願2000-131260(P2000-131260)

(32) 優先日 平成12年4月28日(2000. 4. 28)

(33)優先権主張国 日本 (J P)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72)発明者 松崎 康郎

神奈川県川崎市中原区上小田中4丁目1番1
号 富士通株式会社内

(74) 代理人 100094525

弁理士 土井 健二 (外1名)

Fターム(参考) 5M024 AA49 AA79 BB22 BB39 DD83

EE05 JJ02 JJ32 PP01 PP02

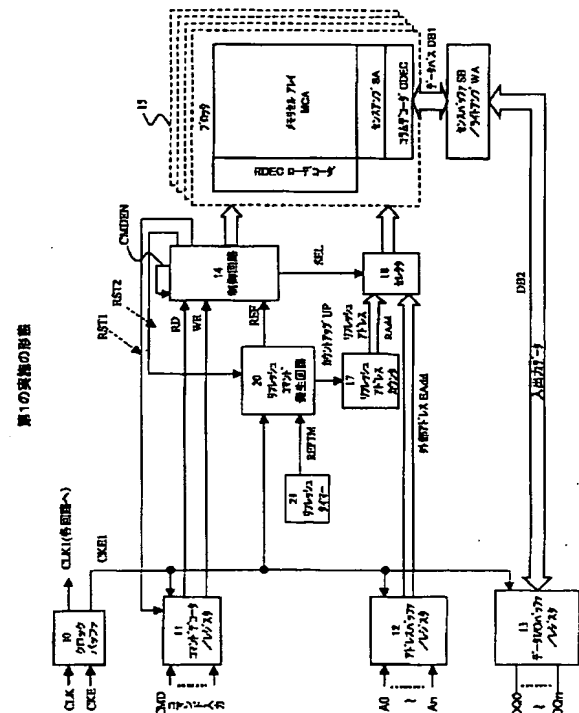
PP03 PP07

(54) 【発明の名称】 自動プリチャージ機能を有するメモリ回路及び自動内部コマンド機能を有する集積回路装置

(57) 【要約】

【課題】通常状態において、メモリコントローラからのコマンド供給なくとも、内部で自動的にリフレッシュ動作を実行することができるメモリ回路を提供する。

【解決手段】リフレッシュが必要なメモリ回路において、クロックに同期してコマンドを受信し内部に第1の内部コマンドを生成する第1の回路(11)と、所定のサイクルで内部に第2の内部コマンド(リフレッシュコマンドREF)を生成する第2の回路(20)とを有することを特徴とする。そして、内部回路が、第1の内部コマンド(RD, WR)に従って対応する内部動作をクロック同期動作で実行し、第2の内部コマンド(REF)が発行されると、第2の内部コマンドに対応する内部動作と、第1の内部コマンドに対応する内部動作とをクロック非同期動作で順次実行する。これらの動作の切り替えは、制御回路(14)が行う。これにより、リフレッシュタイマがリフレッシュタイミング信号を発生した時に、リフレッシュ動作を外部コマンド動作に割り込ませることが可能になる。



【特許請求の範囲】

【請求項 1】リフレッシュ動作を必要とするメモリ回路において、

メモリセルを有するメモリコアと

クロックに同期して供給されたコマンドを受信し内部に第 1 の内部コマンドを生成する第 1 の回路と、

前記クロックサイクルより大きい所定のリフレッシュサイクルで、内部にリフレッシュコマンドを生成する第 2 の回路と、

前記第 1 の内部コマンドに従って、対応する制御をクロック同期動作で実行し、前記リフレッシュコマンドが発行されると、当該リフレッシュコマンドに対応する制御と、前記第 1 の内部コマンドに対応する制御とをクロック非同期動作で順次実行するメモリ制御回路とを有することを特徴とするメモリ回路。

【請求項 2】請求項 1 において、

前記第 1 の回路は、前記供給コマンドに対応する前記第 1 の内部コマンドを保持し、

前記メモリ制御回路は、動作サイクル終了時に内部コマンド受付信号を生成し、当該内部コマンド受付信号にตอบสนองして、前記第 1 の内部コマンドまたはリフレッシュコマンドを受け付け、対応する制御を実行することを特徴とするメモリ回路。

【請求項 3】集積回路装置において、

クロックに同期して供給されたコマンドを受信し内部に第 1 の内部コマンドを生成する第 1 の回路と、

前記クロックサイクルより大きい所定のサイクルで、内部に第 2 のコマンドを生成する第 2 の回路と、

前記第 1 の内部コマンドに従って、対応する制御をクロック同期動作で実行し、前記第 2 のコマンドが発行されると、当該第 2 のコマンドに対応する制御と、前記第 1 の内部コマンドに対応する制御とをクロック非同期動作で順次実行する内部回路とを有することを特徴とする集積回路装置。

【請求項 4】リフレッシュ動作を必要とするメモリ回路において、

メモリセルを有するメモリコアと M ($M \geq 2$) 回の外部動作サイクルに対して、 M より多い N ($M < N < 2M$) 回の内部動作サイクルを有するメモリ制御回路と、

リフレッシュコマンドを発生するリフレッシュコマンド発生回路とを有し、

前記 N 回の内部動作サイクルは、前記外部動作サイクルに対応する外部コマンドを実行する第 1 の内部動作サイクルと、前記リフレッシュコマンドを実行する第 2 の内部動作サイクルとを有することを特徴とするメモリ回路。

【請求項 5】請求項 7 において、

更に、前記外部動作サイクルを画定する外部クロックに従って、前記内部動作サイクルを画定する内部クロックを生成する内部クロック発生回路を有し、

前記外部コマンドは、前記外部クロックに同期して入力され、前記内部動作サイクルは、前記内部クロックに同期していることを特徴とするメモリ回路。

【請求項 6】請求項 4、5 のいずれかにおいて、

前記メモリ制御回路は、前記リフレッシュコマンドに対応する制御を、複数の第 2 の内部動作サイクルに分割して行うことを特徴とするメモリ回路。

【請求項 7】クロックに同期して動作する集積回路装置において、

10 M ($M \geq 2$) 回の外部動作サイクルに対して、 M より多い N ($M < N < 2M$) 回の内部動作サイクルを有する内部回路を有し、

前記 N 回の内部動作サイクルは、前記外部動作サイクルに対応する外部コマンドを実行する第 1 の内部動作サイクルと、内部コマンドを実行する第 2 の内部動作サイクルとを有することを特徴とする集積回路装置。

【請求項 8】リフレッシュ動作を必要とするメモリ回路において、

20 メモリセルを有するメモリコアと M ($M \geq 2$) 回の外部動作サイクルに対して、 M より多い N ($M < N < 2M$) 回の内部動作サイクルを有するメモリ制御回路と、

リフレッシュコマンドを発生するリフレッシュコマンド発生回路とを有し、

前記 N 回の内部動作サイクルは、前記外部動作サイクルに対応する外部コマンドを実行する第 1 の内部動作サイクルと、前記リフレッシュコマンドを実行する第 2 の内部動作サイクルとを有し、

30 前記リフレッシュコマンド発生回路は、前記外部コマンドに応じて前記リフレッシュコマンドを発生することを特徴とするメモリ回路。

【請求項 9】請求項 8 において、

前記外部クロックの周波数が、前記外部動作サイクルよりも高く、当該外部クロックに従って前記内部動作サイクルを画定する内部クロックを生成する内部クロック発生回路を有し、

前記外部コマンドは、前記外部動作サイクル以上のサイクルで供給され、更に、前記外部クロックに同期して入力されることを特徴とするメモリ回路。

【請求項 10】請求項 9 において、

40 前記リフレッシュコマンド発生回路は、所定数の前記外部クロックに同期して入力される外部コマンドの組み合わせに応じて、前記リフレッシュコマンドの発生を許可することを特徴とするメモリ回路。

【請求項 11】リフレッシュ動作を必要とするメモリ回路において、

メモリセルを有するメモリコアと

外部クロックに同期して供給されたコマンドを受信し内部に第 1 の内部コマンドを生成する第 1 の回路と、

50 前記外部クロックサイクルより大きい所定のリフレッシュサイクルで、内部にリフレッシュコマンドを生成する

第2の回路と、

前記外部クロックに同期した第1の内部動作サイクルと、当該第1の内部動作サイクルより短い第2の内部動作サイクルとを有し、前記第1の内部コマンドに対応する制御を前記第1の内部動作サイクルで実行し、前記リフレッシュコマンドが発行された時、当該リフレッシュコマンドに対応する制御と、前記第1の内部コマンドに対応する制御とを、前記第2の内部動作サイクルで順次実行するメモリ制御回路とを有することを特徴とするメモリ回路。

【請求項12】リフレッシュ動作を必要とするメモリ回路において、メモリセルを有するメモリコアと最小外部コマンドサイクル以上の間隔で供給される外部コマンドを受信し、内部に第1の内部コマンドを生成する第1の回路と、前記最小外部コマンドサイクルより長いリフレッシュサイクルで、内部にリフレッシュコマンドを生成する第2の回路と、前記最小外部コマンドサイクルより短い内部動作サイクルで前記第1の内部コマンドに対応する内部動作を実行するメモリ制御回路とを有し、前記メモリ制御回路は、前記内部動作サイクルの終了が前記外部コマンドのタイミングより早い場合は、当該外部コマンドのタイミングにตอบสนองして前記第1の内部コマンドに対応する内部動作を実行し、前記リフレッシュコマンドが発行されると、当該リフレッシュコマンドと前記第1の内部コマンドに対応する内部動作を前記内部動作サイクルで順次実行することを特徴とするメモリ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ダイナミック・ランダム・アクセス・メモリなどの定期的にリフレッシュ動作が必要なメモリ回路に関し、外部からのリフレッシュコマンドを必要とせず自動的にリフレッシュ動作を実行し、更に外部からの動作コマンドに対応して内部動作を高速に行うことができるメモリ回路に関する。更に、本発明は、外部コマンドに加えて自動的に内部でコマンドを発生して実行することができる集積回路装置に関する。

【0002】

【従来の技術】ダイナミック・ランダム・アクセス・メモリ（DRAM）は、大容量メモリとして広く利用されている。DRAMは、揮発性メモリであるので、リフレッシュ動作が必要である。

【0003】図1は、従来のメモリ回路の構成図である。従来のメモリ回路は、外部クロックCLKを入力しそれに同期した内部クロックCLK1を生成するクロックバッファ10と、内部クロックCLK1に同期してコマンドを入力するコマンドデコーダ11、アドレスを入力するア

ドレスバッファ12、データの入出力を行うデータ入出力バッファ13を有する。更に、制御回路14は、コマンドデコーダ11が入力したコマンドCMDにตอบสนองして、メモリコア15の動作を制御する。メモリコアの動作制御も、内部クロックCLK1に同期して行われる。

【0004】上記のようにクロック同期型のDRAM（SDRAM）は、リフレッシュ動作として、オートリフレッシュとセルフリフレッシュとを有する。オートリフレッシュは、通常の読み出し・書き込み動作の間に定期的に実施されるリフレッシュ動作であり、外部から供給されるオートリフレッシュコマンドにより実行される。即ち、外部からオートリフレッシュコマンドが入力されると、コマンドデコーダ11がオートリフレッシュコマンドARIを生成し、それにตอบสนองしてリフレッシュ制御回路16が内部リフレッシュコマンドREFを生成する。この内部リフレッシュコマンドREFにより、制御回路14がリフレッシュ動作を制御する。セクタ18は、リフレッシュアドレスカウンタ17からのアドレスを選択し、アドレスラッチ回路19に出力する。

【0005】一方、セルフリフレッシュは、パワーダウンモード状態の間に、内部のオシレータOSCが自動的に生成するリフレッシュタイミングにตอบสนองして、メモリデバイス側が自分で実施するリフレッシュ動作である。パワーダウンモード状態では、外部からコマンド（読み出しと書き込み）が供給されないで、任意のタイミングで生成されるリフレッシュタイミングにตอบสนองして、リフレッシュ制御回路16が内部リフレッシュコマンドREFを生成する。これにより、制御回路14がリフレッシュ動作を制御する。

【0006】以上の様に、通常動作状態の間は、外部からコマンドが供給されるので、リフレッシュコマンドも外部から供給してもらい、それにตอบสนองしてリフレッシュ動作を実行する。また、パワーダウン状態の間は、外部からコマンドを供給されないで、内部で自動的にリフレッシュタイミングを生成し、リフレッシュ動作を実行する。

【0007】

【発明が解決しようとする課題】上記の通り、従来のメモリ回路では、メモリ回路を制御するメモリコントローラは、通常動作状態の間ではリフレッシュタイミングの制御を行う必要がある。即ち、メモリコントローラは、タイマーを搭載し、リフレッシュタイミングになるたびにオートリフレッシュコマンドをメモリ回路に発行する必要がある。従って、メモリコントローラは、メモリ回路の制御が複雑になるという課題を有する。

【0008】従来のメモリ回路では、クロックに同期して供給される読み出し、書き込みコマンドにตอบสนองして、制御回路14が対応する制御を実行する。その場合、制御回路14が前の内部動作を実行中であると、新たに供給されたコマンドにตอบสนองして以前の内部動作にかかわら

ず次の内部動作を実行することになる。或いは、以前の内部動作を実行中に、外部から新たなコマンドが供給されると、そのコマンドを拒否するメモリ回路も提案されている。

【0009】上記後者の場合、即ち、メモリコントローラからのコマンドを拒否することは、好ましくないもので、一般のメモリ回路は、前者のように、供給されたコマンドに応答して内部動作をそのまま実行する。従って、通常動作状態において、メモリ回路内で自発的にリフレッシュコマンドを発行してリフレッシュ動作を実行すると、その動作中に供給されるコマンドによって、そのリフレッシュ動作がディスタープされてしまう。また、後者のように供給されるコマンドを拒否すると、メモリコントローラの制御はますます複雑化する。

【0010】そこで、本発明の目的は、メモリコントローラからのリフレッシュコマンドを受信することなく、自動的にリフレッシュ動作を実行することができるメモリ回路を提供することにある。

【0011】本発明の別の目的は、通常動作時において、外部からのリフレッシュコマンドを必要とせずに、自動的にリフレッシュ動作を実行することができ、更に、外部からの通常コマンドに応答して高速に内部動作を実行することができるメモリ回路を提供することにある。

【0012】更に、本発明の別の目的は、外部コマンドの供給を受ける以外に内部コマンドを自動的に発行して、外部コマンドに対応する動作をディスタープすることなく内部コマンドを実行することができる集積回路装置を提供することにある。

【0013】

【課題を解決するための手段】上記の目的を達成するために、本発明の第1の側面は、集積回路装置において、クロックに同期してコマンドを受信し内部に第1の内部コマンドを生成する第1の回路と、所定のサイクルで内部に第2の内部コマンドを生成する第2の回路とを有することを特徴とする。そして、内部回路が、第1の内部コマンドに従って対応する内部動作をクロック同期動作で実行し、第2の内部コマンドが発行されると、第2の内部コマンドに対応する内部動作と、第1の内部コマンドに対応する内部動作とをクロック非同期動作で順次実行する。

【0014】より好ましい実施例では、前記集積回路装置は、リフレッシュ動作が必要なメモリ回路であり、前記第1の内部コマンドは、読み出し又は書き込みコマンドであり、前記第2の内部コマンドは、リフレッシュコマンドであり、内部回路はメモリ制御回路である。即ち、この実施例によれば、通常状態では、メモリ制御回路が、クロック同期で受信したコマンドに従って、第1の内部コマンドに対応する制御動作をクロック同期動作で実行する。そして、内部で第2の内部コマンドとして

リフレッシュコマンドが発生すると、メモリ制御回路は、クロック非同期動作で、そのリフレッシュコマンドと第1の内部コマンドに対応する制御動作を順次実行する。やがて、内部動作サイクルが外部動作サイクルに追いつくと、メモリ制御回路は、再度クロック同期動作で第1の内部コマンドに対応する制御動作を実行する。

【0015】別の好ましい実施例では、集積回路装置が、外部クロックに同期した第1の内部クロックと、前記外部クロックより高速の第2の内部クロックとを発生する内部クロック発生回路を更に有し、前記内部回路は、通常時は、第1の内部コマンドに対応する内部動作を第1の内部クロックに同期して実行し、第2の内部コマンドが発生されると、当該第2の内部コマンドに対応する内部動作と、第1の内部コマンドに対応する内部動作とを第2の内部クロックに同期して実行する。

【0016】本発明の第1の側面は、非同期のメモリ回路にも適用できる。この場合、外部コマンドの供給が許される最短外部コマンドサイクルがスペックで定められ、メモリ制御回路がその最短外部コマンドサイクルより短い内部動作サイクルを有する。そして、メモリ制御回路は、通常動作時は、外部コマンドに応答して内部動作を実行し、内部リフレッシュコマンドが発生した時は、内部動作サイクルで連続して内部動作を実行する。

【0017】本発明の第2の側面は、クロック同期型の集積回路装置において、 M ($M \geq 2$) 回の外部動作サイクルに対して、 M より多い N ($M < N < 2M$) 回の内部動作サイクルを有することを特徴とする。そして、 M 回の外部動作サイクルに対して、最大で M 回の外部コマンドに対応する M 回の内部動作サイクルと、外部コマンドに対応しない内部コマンドに対応する少なくとも1回の内部動作サイクルとが割り当てられる。即ち、内部動作サイクルを外部動作サイクルよりも僅かに短くすることで、 M 回の外部動作サイクルからなる拡大動作サイクル内で発生するかもしれない内部コマンドの実行を可能にする。

【0018】上記第2の側面におけるより好ましい実施例では、リフレッシュ動作が必要なメモリ回路に適用される。その場合、 M 回の動作サイクルからなる拡大動作サイクルの間に、内部でリフレッシュコマンドが発生すると、 $(N-M)$ 回の内部動作サイクルを利用して、そのリフレッシュ動作を実行する。この $(N-M)$ 回は、拡大動作サイクル内の内部動作サイクル回数 N と外部動作サイクル回数 M の差である。しかも、外部コマンドの入力からリードデータ出力までのレイテンシを複数クロックにすることで、外部のメモリコントローラに対しては、連続する外部コマンドに対応して連続してリードデータを出力することが可能になる。

【0019】上記好ましい実施例のメモリ回路では、 M 個の外部クロックからなる拡大動作サイクルの間に、 N 個の内部クロックを発生する内部クロック発生回路が設

けられる。そして、外部コマンドは、外部クロックに同期して（又は所定の位相差を持って）入力され、内部コマンドは内部クロックに同期して生成される。また、リードデータは、遅延内部クロックに同期してメモリコアから出力され、データ出力端子からは外部クロックに同期して出力される。同様に、ライトデータは、外部クロックに同期してデータ入力端子から入力され、内部クロックに同期してメモリコアに入力される。従って、外部クロックと内部クロックとの位相差が、コマンドやデータの入出力回路部で吸収される。

【0020】上記第2の側面における別の好ましい実施例では、同様に、リフレッシュ動作が必要なメモリ回路に適用される。その場合、M回の動作サイクルからなる拡大動作サイクルの間に、内部でリフレッシュコマンドが発生すると、(N-M)回の内部動作サイクルを利用して、そのリフレッシュ動作を実行する。更に、リフレッシュ動作は、複数回の内部動作サイクルに分轄されて実行されることもできる。そうすることにより、外部コマンドの入力からリードデータの出力までのレイテンシ（アクセスタイム）を短くすることができ、高速動作を保証することができる。

【0021】上記の別の好ましい実施例では、リフレッシュ動作を、ワード線駆動動作と、メモリセルへの再書き込み動作とに分ける場合は、リフレッシュ動作時のリフレッシュアドレス（ローアドレス）とその後のリードまたはライト動作のアドレス（ローアドレス）とが一致する場合は、前半のリフレッシュ動作時に読み出して保持しておいたデータが、その後のリードまたはライト動作の読み出しデータとして利用される。これにより、前半のリフレッシュ動作時にメモリセルのデータが破壊されていても、何らその後の動作に支障を与えない。

【0022】本発明の第3の側面は、上記第2の側面において、外部コマンドの入力を制御する外部クロックが、外部動作サイクルよりも短いサイクルの場合に、外部クロックに同期して入力される外部コマンドに応じて、第2の内部動作サイクルが生成されることを特徴とする。従って、第3の側面が、メモリ回路に適用される場合は、リフレッシュコマンド発生回路は、外部コマンドの入力状況に応じて、リフレッシュコマンドを発生する。

【0023】第3の側面によれば、高速クロックのシステム内に搭載される集積回路装置やメモリ回路であっても、自主的に第2の内部動作サイクルを生成して実行することができる。

【0024】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、かかる実施の形態例が、本発明の技術的範囲を限定するものではない。また、以下の実施の形態例は、メモリ回路を例にして説明するが、本発明はメモリ回路に限定されず一般的な集

積回路装置にも適用できる。

【0025】[第1の実施の形態例] 図2は、第1の実施の形態例におけるメモリ回路の全体構成図である。図1と同じ要素には同じ引用番号を与えている。外部から供給される外部クロックCLKがクロックバッファ10に入力され、それに同期し位相が僅かにずれた内部クロックCLK1が生成される。この内部クロックCLK1は、図示しないが、コマンドデコーダ・レジスタ11、アドレスバッファ・レジスタ12、データ入出力バッファ・レジスタ13、メモリ制御回路14、リフレッシュコマンド発生回路20などの各回路に供給され、クロックに同期した動作に寄与する。クロックイネーブル信号CKEは、通常状態とパワーダウン状態とを示す信号である。

【0026】第1の実施の形態例におけるメモリ回路は、コマンドデコーダ・レジスタ11が、クロックCLK1に同期してコマンドCMDを受信し、リードコマンドRDまたはライトコマンドWRを生成し、メモリ制御回路14に供給する。また、リフレッシュコマンド発生回路20は、内蔵するリフレッシュタイマ21が一定のリフレッシュサイクルで発生するリフレッシュタイマ信号REFTMに
40 応答して、リフレッシュコマンドREFを生成する。リフレッシュコマンド発生回路20は、従来例と異なり、通常状態でもパワーダウンモードでも、リフレッシュタイマ信号REFTMに
50 応答して、リフレッシュコマンドREFを生成する。

【0027】メモリ制御回路14は、通常は、内部コマンドRD, WRに従って、リード制御動作またはライト制御動作をクロック同期動作で実行する。また、リフレッシュコマンドREFが生成されると、メモリ制御回路14は、例えば、ワード線駆動信号、センスアンプ活性化信号、コラム選択信号、プリチャージ信号などをメモリコア15に供給することにより、コマンドに対応する制御動作を実行する。

【0028】その為、メモリ制御回路14は、1つの動作サイクルが終了すると次のコマンドを受け付けるコマンド受付信号CMDENを生成する。また、コマンド受付信号CMDEN発生後に内部コマンドRD, WR, REFを受け付けると、コマンドデコーダ・レジスタ11にリセット信号RST1を、リフレッシュコマンド発生回路20にリセット信号RST2を供給し、それぞれの内部コマンドをリセットする。

【0029】図3は、クロック同期動作とクロック非同期動作を示す図である。図3(A)はクロック同期動作を説明する図である。コマンドRD, WRは、クロックCLK1に同期して入力、生成され、コマンドレジスタ11により保持される。また、メモリ制御回路14は、コマンドレジスタ11が保持する内部コマンドRD, WRを、コマンド受付信号CMDENがHレベルの間に取り込む。そして、

内部コマンドに対応する制御動作を実行する。

【0030】メモリコア15は、メモリセルアレイを有するが、このメモリセルアレイでの最小動作サイクルは、ワード線立ち上げ t_a 、ビット線増幅 t_b 、ワード線立ち下げ t_c 、ビット線プリチャージ t_d からなる。これらが、メモリセルアレイ動作期間 t_{mca} を構成する。

【0031】通常の同期型DRAMでは、製造プロセスによるバラツキなどを考慮して、クロックCLK1に同期してメモリセルアレイ動作期間 t_{mca} が繰り返されても、そのメモリセルアレイ動作期間 t_{mca} の間に、コマンド待ち時間 t_1 を有する。従って、図3(A)に示される通り、メモリセルアレイ動作期間 t_{mca} が終了してコマンド受付信号CMDENが生成されても、コマンド待ち時間 t_1 後でなければ、新しいコマンドが入力されない。そして、新しいコマンドが入力されてから、メモリ制御回路14にその内部コマンドが取り込まれ、対応する制御動作が開始する。その結果、メモリセルアレイ動作期間 t_{mca} は、クロックCLK1に同期して繰り返される。

【0032】次に、図3(B)は、クロック非同期動作を示す。コマンドRD、WRは、クロックCLK1に同期して保持されるか、図示しないリフレッシュコマンドREFが非同期で生成される。そして、メモリセルアレイ動作期間 t_{mca} が終了した時点で、すでに内部コマンドRD、WR、REFが発生しているので、メモリ制御回路14は、コマンド受付信号CMDENにตอบสนองして、その内部コマンドを受け付け、対応するメモリセルアレイ動作期間が開始される。従って、この場合は、メモリセルアレイ動作期間 t_{mca} の間には、コマンド待ち時間 t_1 が存在せず、最小動作サイクルでメモリセルアレイ動作が繰り返される。

【0033】クロック非同期動作を行う場合は、コマンド待ち時間 t_1 が存在しないので、クロックCLK1の位相から遅れてメモリセルアレイ動作が開始されても、複数のコマンドを最小動作サイクルで実行することで、メモリセルアレイ動作はやがてクロックCLK1の位相に追いつくことができる。

【0034】以上の様に、クロック同期動作は通常動作であり、クロック非同期動作は高速動作に対応する。この通常動作と高速動作の切り替えは、コマンドレジスタ11が保持する内部コマンドと動作期間が終了した時に発生するコマンド受付信号CMDENとの論理積をとることにより、簡単に行うことができる。即ち、コマンド受付信号CMDENが先に発生すれば、後からクロックに同期して生成される内部コマンドに従ってメモリセルアレイ動作期間が開始される。従って、この場合は、図3(A)のクロック同期動作(通常動作)である。逆に、内部コマンドが先に存在すれば、後から生成されるコマンド受付信号CMDENにตอบสนองして、待ち時間 t_1 なしでメモリセルアレイ動作期間が開始される。この場合は、図3

(B)のクロック非同期動作(高速動作)である。

【0035】そして、メモリセルアレイがコマンドに応じた動作を開始したら、コマンド受付信号CMDENをリセットすると共に、コマンドレジスタ11の内部コマンドをリセットする。また、リフレッシュコマンド発生回路20のリフレッシュコマンドをリセットする。

【0036】図4は、メモリ制御回路14の構成例を示す図である。メモリ制御回路14は、内部コマンドに対応して、メモリコア15に各種制御信号 ϕ を供給する制御信号発生回路24と、内部コマンド入力バッファ25、26、27とを有する。制御信号には、ワード線を駆動するワード線駆動信号 ϕ_{WL} と、ビット線対とセンスアンプとの間のビット線トランスファークゲートを駆動するビット線トランスファークゲート信号 ϕ_{BTR} と、センスアンプを活性化する活性化信号 ϕ_{LE} と、コラムゲート駆動信号 ϕ_{CL} と、プリチャージ信号 ϕ_{PRE} などが含まれる。

【0037】更に、メモリ制御回路14は、入力パルスの立ち下がり時にパルスが発生するパルス生成回路28、30、32、33と、コマンド受付信号CMDENを生成するフリップフロップFFを有する。内部コマンドRD、WR、REFは、例えばLレベルで非活性状態、Hレベルで活性状態とする。

【0038】図5は、リフレッシュコマンドが発生した時のクロック同期動作からクロック非同期動作に移行する場合を示すタイミングチャート図である。クロックCLK1の立ち上がりエッジC1まで、メモリセルアレイはクロックに同期した通常動作を繰り返しているとする。従って、クロックの立ち上がりエッジC1の前に、コマンド受付信号CMDENが発生している。また、クロックの立ち上がりエッジC1より前に、リフレッシュタイマ信号REFTMが発生しているとする。

【0039】動作サイクル1より前にリフレッシュタイマ信号REFTMが発生すると、リフレッシュコマンド発生回路20は、その後のクロック立ち上がりエッジC1から所定時間遅延後に、リフレッシュコマンドREFを発生する。これにより、外部からのコマンドに対応する内部コマンドRD(A0)を優先して受け付けて、内部の動作サイクルを実行することができる。

【0040】立ち上がりエッジC1で発生した内部コマンドRD(A0)(読み出しコマンド)は、コマンド受付信号CMDENが受け付け状態であるので、クロックCLK1に同期してメモリ制御回路14のコマンド入力バッファ25に入力される。従って、制御信号発生回路24により各種制御信号が発生され、サイクル1は、リーディングエッジC1から開始する。サイクル1では、読み出し動作のためにワード線駆動信号 ϕ_{WL} 、センスアンプ活性化信号 ϕ_{LE} 、コラム選択信号 ϕ_{CL} などが生成し、最後にプリチャージ信号 ϕ_{PRE} が生成される。そして、プリチャージ期間が終了すると、フリップフロップFFはコマンド受付信号CMDENを発生する。尚、内部コマンドRD(A0)の動作

が開始されると、リセット信号RST1によりコマンドはリセットされる。

【0041】この時点で、リフレッシュコマンドREFが生成されているので、コマンド受付信号CMDENに应答して、コマンド入力バッファ27がこのコマンドREFを入力し、制御信号発生回路24が、リフレッシュ動作に対応して各種制御信号 ϕ を発生する。実際には、リフレッシュ動作は読み出し動作と同じである。そして、コマンドREFを入力すると、リセット信号RESETが生成され、コマンド受付信号CMDENがLレベルになる。同時に、リセ

ット信号RST2が生成され、リフレッシュコマンドREFがリセットされる。従って、リフレッシュコマンドに対応するサイクル2の動作は、待ち時間 t_1 を介在することなく、クロック立ち上がりエッジC2より前に開始される。つまり、クロック非同期動作である。

【0042】リフレッシュ動作が終了すると、再度コマンド受付信号CMDENが生成される。この時、既にクロックエッジC2に同期して内部コマンドRD(A1)がコマンドレジスタ11に保持されている。従って、この内部コマンドRD(A1)がコマンド受付信号CMDENに应答して、コマ

ンド入力バッファ25に入力され、次のサイクル3の動作が開始する。この動作もクロック非同期動作である。

【0043】以下、同様に、クロックエッジに同期して生成された内部コマンドが、順次クロック非同期動作で実行される。クロック非同期動作では、待ち時間なしの高速動作であるので、やがて内部動作サイクルがクロックCLK1のサイクルに追いつき、コマンド受付信号CMDENがクロックCLK1の立ち上がりエッジの位相より早まることになる。その結果、内部動作サイクルは、待ち時間 t_1 を間に挟んでクロックCLK1に同期したクロック同期動作になる。

【0044】図6は、第1の実施の形態例におけるクロック同期動作とクロック非同期動作（高速動作）とを示すタイミングチャート図である。図6は、図5の動作をより多くの動作サイクルで示している。外部からのコマンドCMDは、クロックCLK1に同期して供給され、コマンドレジスタ11により内部コマンドが保持される。図6の例は、リードコマンドRDが連続して供給されている。

【0045】最初は、クロックCLK1に同期して内部動作サイクルRD0-2が実行される。内部動作サイクルRD1の時にリフレッシュタイマがリフレッシュタイマ信号REFTMを生成すると、一定の遅延後に内部リフレッシュコマンドREFが出力される。そして、内部動作サイクルRD2が終了すると、即リフレッシュコマンドREFに従う内部動作サイクルが開始する。その後は、クロック非同期動作に移行し、内部動作サイクルRD3-7までが高速動作になる。やがて、内部動作サイクルがクロックCLK1のサイクルに追いつくと、再度内部動作サイクルRD8以降がクロック同期動作になる。

【0046】即ち、連続されて入力されるリードコマン

ドに対して、全てを入力して保持し、必要に応じてリフレッシュ動作サイクルを割り込ませ、クロック非同期の高速動作で保持されたリードコマンドを実行する。従って、データ出力端子DQには、読み出しデータが連続して出力され、メモリコントローラは、内部のリフレッシュ動作は見え、通常の連続読み出しが行われているように見える。

【0047】図7は、より低速の外部クロックの場合におけるクロック同期動作とクロック非同期動作（高速動作）とを示すタイミングチャート図である。この場合は、内部の高速動作（クロック非同期動作）サイクルが、クロックCLK1に比較してかなり短い。従って、リフレッシュコマンドREF発生後のリフレッシュ動作サイクルREFからクロック非同期動作になるが、その高速動作は次のリード動作サイクルRD3までで、その後はクロック同期動作になる。つまり、リフレッシュ動作実行後に内部動作サイクルがクロックCLK1のサイクルに追いつくまでの期間が短くなる。

【0048】図8は、更に低速の外部クロックの場合におけるクロック同期動作とクロック非同期動作（高速動作）とを示すタイミングチャート図である。この場合は、3番目のリード動作サイクルRDの後でリフレッシュ動作がクロック非同期で行われるが、そのリフレッシュ動作が次のクロックCLK1の立ち上がりエッジより前に終了し、次のリード動作サイクルからクロック同期動作に戻る。

【0049】図6、7、8のいずれの場合も、外部コマンドの入力から2クロック後にデータ出力端子DQに読み出しデータが出力されるように内部回路を制御することで、通常動作中連続するコマンドを処理中にリフレッシュ動作を割り込ませても、問題なく読み出しデータを連続して出力することができる。

【0050】図9は、外部クロックCLK1のサイクルに比較して内部動作サイクルが2倍長い場合のクロック同期動作とクロック非同期動作（高速動作）とを示すタイミングチャート図である。メモリデバイスが搭載されるシステム内のクロックCLK1が高速で、それに対してデバイス内部の動作が低速の場合の例である。この場合は、スペック上、外部からのコマンドは、外部クロックCLK1に同期して連続して供給することは許されない。従って、最速で、外部からのコマンドは、奇数番目または偶数番目のクロックの立ち上がりエッジに同期して供給される。この場合でも、図9に示される通り、図6の場合と同様に内部動作サイクルの間の待ち時間 t_1 を利用して、リフレッシュ動作サイクルを挿入することが可能になる。但し、図9の場合は、外部コマンドの入力から4クロック後に読み出しデータがデータ出力端子DQに出力される。

【0051】また、奇数番目のクロックに同期してコマンドが入力された後、偶数番目のクロックに同期してコ

マンドが供給される場合もある。しかし、その場合でも、連続するクロックに同期してコマンドは供給されない。従って、その場合は、コマンドの間に2クロックサイクルが存在することになり、内部のリフレッシュ動作サイクルの挿入に何ら支障は生じない。

【0052】上記第1の実施の形態例において、リフレッシュタイマ信号REFTMは、クロックCLKに対して、例えば2桁程低い周波数である。従って、数100クロックCLKに対して、リフレッシュタイマ信号REFTMは1回発生する程度である。その結果、数100サイクルの外部動作サイクルに対して、数100サイクルに1サイクル加えた内部動作サイクルになる。全ての外部動作サイクルに対して、内部動作サイクルとリフレッシュ用の動作サイクルの2つの内部動作サイクルが割り当てられる必要はなく、通常動作では高速動作が保証されるのである。

【0053】〔第2の実施の形態例〕第2の実施の形態例は、外部動作サイクルより短い内部動作サイクルでコマンドを実行するメモリ回路である。リフレッシュ動作を必要とするメモリ回路において、メモリ制御回路は、M ($M \geq 2$) 回の外部動作サイクルに対して、Mより多いN ($M < N < 2M$) 回の内部動作サイクルを有する。外部コマンドは、外部動作サイクルに同期して入力される。また、リードデータの出力及びライトデータの入力も、外部動作サイクルに同期して行われる。それに対して、N回の内部動作サイクルは、外部動作サイクルに対応する外部コマンドを実行する第1の内部動作サイクルと、リフレッシュコマンドを実行する第2の内部動作サイクルとを有する。そして、内部でリフレッシュコマンドが発行された場合は、上記第2の内部動作サイクルを利用してリフレッシュ動作が行われる。

【0054】以上の様に、第2の実施の形態例におけるメモリ回路は、M回の外部動作サイクルからなる拡大動作サイクル内に、M回より多いN回の内部動作サイクルを生成し、(N-M)回の内部動作サイクルを利用して、内部で自動発生するリフレッシュコマンドに対応するリフレッシュ動作を実行する。但し、外部動作サイクルに同期してコマンドやライトデータが入力され、リードデータが出力されるので、メモリコントローラからは、メモリ回路が外部動作サイクルに同期して動作しているように見える。また、M回より1サイクルまたは数サイクル多いN回の内部動作サイクルにすれば、連続するリードコマンドに対して、所定のリードレイテンシの遅れで、外部動作サイクルに同期してリードデータを連続して出力することができる。

【0055】以下の実施の形態例では、 $M=7$ 、 $N=8$ の場合が説明される。

【0056】図10は、第2の実施の形態例におけるメモリ回路の構成図である。図2と同じ部分には同じ引用番号が与えられる。また、図11は、その動作タイミングチャート図である。図10のメモリ回路は、図2と比

較すると、外部クロックECLKから、外部クロックに同期したクロックECLK1と、内部動作サイクルを制御する内部クロックICLK1~ICLK3、REF-CLKとを生成するクロック発生回路が設けられる点で異なる。図11に示される通り、内部クロックは、7回の外部動作サイクルに対して発生する8回の内部動作サイクルを画定する。従って、内部クロックの周期は、外部クロックの周期よりもわずかに短い。

【0057】上記のクロック発生回路35が生成するクロックにおいて、外部クロックECLK1は、外部クロックECLKに同期しており、コマンド、アドレス、データの入出力タイミングを制御する。内部クロックICLK1は、外部コマンドを実行する内部動作サイクルの開始を制御する。内部クロックICLK2は、上記クロックICLK1を遅延させたクロックであり、メモリアから読み出したデータをデータバスBD2に出力するクロックである。出力ラッチクロックICLK3は、データバスDB2に出力されたデータをデータ入出力回路13内の出力レジスタ134に取り込むクロックである。そして、リフレッシュクロックREF-CLKは、リフレッシュ内部動作サイクルを制御するクロックである。

【0058】従って、図10のメモリ回路では、クロックECLK1に同期して、外部コマンドCMDがコマンドデコーダ11Aに、外部アドレスがアドレスバッファ12Aにそれぞれ入力される。また、データ入出力バッファ13において、クロックECLK1に同期して、リードデータが出力バッファ133から出力され、ライトデータが入力バッファ131に入力される。

【0059】それに対して、コマンドレジスタ11Bとアドレスレジスタ12Bが、内部クロックICLK1に同期して、コマンドRD、WR及び外部アドレスEAddをメモリ制御回路14やメモリア15に供給する。同様に、リードデータは、内部クロックICLK2に同期してメモリアからセンスバッファに出力され、出力ラッチクロックICLK3に同期してデータバスのリードデータがレジスタ134にラッチされる。また、ライトデータは、内部クロックICLK1に同期してレジスタ132にラッチされる。従って、レジスタ11B、12B、134、132は、外部クロックと内部クロックとの位相のずれを吸収して、対応する信号を内部動作サイクルにあわせてラッチし伝達する。

【0060】図11のタイミングチャート図は、外部コマンドとしてリードコマンドRead-0~Read12が、外部クロックECLKに同期して供給される場合を示す。7つの外部クロックECLKからなるサイクルを拡大動作サイクルと称する。この拡大動作サイクルに対して、7個の内部クロックICLK1と1個のリフレッシュクロックREF-CLKが発生する。

【0061】まず、外部クロックECLK1に同期して、外部コマンドはコマンドデコーダ11Aに入力され、外部アドレスもアドレスバッファ12Aに入力される。最初のリ

ードコマンドRead-0は、内部クロックICLK1に同期してレジスタ11Bにラッチされ、メモリ制御回路14に供給される。そして、内部クロックICLK1に同期して、リード動作サイクルが実行される。メモリコア15から読み出されたリードデータは、内部クロックICLK2に同期してセンスバッファSBによりデータバスDB2に出力され、出力ラッチクロックICLK3に同期して出力レジスタ134にラッチされる。そして、最後に、外部クロックECLK1に同期して、出力バッファ133から出力端子DQにリードデータが出力される。図11の例では、最初のリードコマンドRead-0の入力からリードデータQ0が出力されるまでのレイテンシは、2外部クロックサイクルである。

【0062】図11の例では、拡大動作サイクル内の2番目の内部動作サイクルが、リフレッシュ動作サイクルに割り当てられる。従って、2番目の内部クロックとしてリフレッシュクロックREF-CLKが発生する。リフレッシュタイマ21によりリフレッシュサイクル毎に発生するリフレッシュタイマ信号REFTMに应答して、リフレッシュコマンド発生回路20は、リフレッシュクロックREF-CLKに同期してリフレッシュコマンドREFを発生する。従って、リフレッシュタイマ信号が生成された時に、拡大動作サイクル内の2番目の内部動作サイクルで、リフレッシュ動作が実行される。リフレッシュ動作では、セクタ18がリフレッシュアドレスカウンタ17のリフレッシュアドレスRAddを選択して、ローデコーダRDECに供給する。リフレッシュ動作が実行されると、リフレッシュアドレスカウンタ17はカウントアップする。リフレッシュタイマ信号が生成されない場合は、2番目の内部動作サイクルでは、何らの動作も行われない。そして、3番目から8番目までの内部動作サイクルは、残りの6つのリードコマンドRead-1～Read-6に対応するリード動作が実行される。

【0063】従って、リフレッシュ動作が割り込まれた後の内部動作サイクルは、外部動作サイクル（外部クロックECLKのサイクル）に比較して、かなり遅延しているが、内部動作サイクルが外部クロックサイクルよりも1/8ずつ短いので、内部動作サイクルは少しずつ外部クロックサイクルに近づき、やがて拡大動作サイクルの最後で追いつく。

【0064】図12は、リードコマンドとライトコマンドとが混在する場合の動作タイミングチャート図である。この場合も、図11の場合と同様に7つの外部クロックに対して、8つの内部動作サイクルが存在する。そして、ライトデータD2は、外部クロックに同期して入力され、内部動作サイクルに同期してライト動作が実行される。また、リードレイテンシが2であるので、リードコマンドRead-1から4クロック後に次のライトコマンドWrite-2が供給される。これにより、入出力端子DBでリードデータQ1とライトデータD2とがコンフリク

トすることがさけられる。

【0065】図13は、クロック発生回路の回路図である。また、図14は、その動作タイミングチャート図である。クロック発生回路35は、外部クロックECLKを入力バッファ39に入力し、パルス幅調整回路40により立ち上がりエッジから3ゲート分のパルス幅を有するクロックECLK1を生成する。従って、このクロックECLK1は、外部クロックECLKと同期し、位相が少し遅れたクロックである。

【0066】パルス幅調整回路40の出力N1は、位相比較器41の一方の入力に供給されると共に、可変遅延素子D1～D8を経由して他方の入力にも供給される。そして、位相比較器41により検出される位相差に対して、位相差がなくなるように、遅延制御回路42が遅延制御電圧Vcを出力する。この遅延制御電圧Vcに従って、各可変遅延素子D1～D8の遅延時間が調整される。

【0067】従って、各可変遅延素子の出力として、外部クロックECLKの1サイクルを8等分した位相のずれを有する8個の内部クロックN1～N8が生成される。この内部クロックN1～N8が、シフトレジスタ37が出力する選択信号S1～S8に従って、マルチプレクサ38により選択され、内部クロックN10として出力される。シフトレジスタ37は、内部クロックN10のダウネッジでシフトする。そして、順番に発生する選択信号S1～S8は、S1, S8, S7, ..., S2の順番で内部クロックN1～N8を選択する。この結果、内部クロックN10は、外部クロックECLKの7/8サイクルを有する短サイクルのクロックとなり、外部クロックECLKより1/8サイクルづつ位相が進んだクロックになる。

【0068】この内部クロックN10から、NORゲート44によって、2番目のクロックが除去されて、7個の内部クロックICLK1が生成される。また、NANDゲート43によって、2番目のクロックが選択されて、1個のリフレッシュクロックREF-CLKが生成される。また、内部クロックICLK1に対して、可変遅延素子D9～D12の遅延時間だけ位相が遅れた内部クロックICLK2が生成される。また、クロックN4からインバータ2段分位相が遅れた出力ラッチクロックICLK3が生成される。クロックN4を選択することにより、内部クロックICLK2のC1とC2及び出力ラッチクロックICLK3のC3, C4, C5とが、C3-C1-C4-C2-C5の順番で生成される。こうすることで、2番目の動作内部サイクルにリフレッシュ動作が挿入されても、連続するリードコマンドに対して、そのリードデータを同じ順番で連続して出力レジスタ134にラッチすることができる。

【0069】図15は、リフレッシュコマンド発生回路とその動作タイミングチャートとを示す図である。リフレッシュコマンド発生回路20は、遅延フリップフロップ46, 47と、NANDゲート48, 遅延回路49を有す

る。動作タイミングチャート図に示される通り、リフレッシュタイマ信号REFTMが発生した後の、リフレッシュクロックREF-CLKに同期して、信号N22がHレベルになり、リフレッシュコマンドREFが生成される。そして、遅延回路49の遅延後に、カウンタアップ信号UPが生成され、リフレッシュアドレスカウンタ17のアドレスをカウンタアップする。それにより、フリップフロップ46, 47はリセットされる。

【0070】このように、拡大動作サイクル内の8内部動作サイクルのうち、2番目の内部動作サイクルが、リフレッシュ動作に確保される。そして、リフレッシュタイマ信号REFTMが発生した時は、その直後の2番目の内部動作サイクルで、リフレッシュコマンドREFが生成され、メモリアドレス15でリフレッシュ動作が実行される。このリフレッシュ動作では、リフレッシュアドレスカウンタからのリフレッシュアドレスRAddに対応するワード線が駆動され、ビット線対に読み出されたデータがセンスアンプSAで増幅され、メモリセルに再書き込みされる。その後、ワード線が立ち下げられ、プリチャージ動作が行われる。

【0071】[第3の実施の形態例] 第2の実施の形態例では、2番目の内部動作サイクルをリフレッシュ動作サイクルに割り当てている。従って、1番目の内部動作サイクルに対応するリードコマンドのリードアクセス時間(リードレイテンシ)は、図11に示される通り比較的長くなる。これは、2番目の内部動作サイクルの前後のサイクルでのリードデータの出力タイミングを、外部クロックに同期して連続させるためである。

【0072】これに対して、第3の実施の形態例では、8つの外部動作サイクルの中に、外部コマンドを実行する8つの第1の内部動作サイクルと、リフレッシュ動作を行う2つの第2の内部動作サイクルとを有する。リフレッシュ動作の第2の内部動作サイクルは、第1の内部動作サイクルの半分程度の長さであり、1回のリフレッシュ動作が2回に分けて行われる。その結果、最悪のリードアクセス時間を、第2の実施の形態例より短くすることができる。

【0073】図16は、第3の実施の形態例におけるメモリ回路の構成図である。図10と異なるところは、2つのリフレッシュコマンドREF1, REF2が生成されることと、リフレッシュアドレスRAddと外部アドレスEAddとを比較して比較結果信号を生成する比較器50が設けられていることである。更に、メモリアドレス15内に、メモリセルのリードデータを一時的に保持するデータレジスタDRGと、セルアレイMCA内の図示しないビット線対とデータレジスタDRGとの間に設けられる転送ゲートTRGとが設けられていることも、図10と異なる構成である。データレジスタDRGは、センスアンプSAと実質的に同じ回路であり、前半のリフレッシュ動作サイクルで、ビット線対の電圧を増幅して保持する。それ以外は、同じ引用番

号を与えているので、説明を省略する。

【0074】図17, 18は、第3の実施の形態例のリフレッシュ動作を説明する図である。図17(A)は、通常のリフレッシュ動作とリードまたはライト動作を示す。いずれの場合も、ローアドレスにより選択されたワード線WLを駆動して、メモリセル内のデータをビット線対BL/BLに読み出し、それをセンスアンプSAで増幅し、再書き込みの後に、プリチャージを行う。

【0075】図17(B)は、本実施の形態例でのリフレッシュ動作を示す。本実施の形態例でのリフレッシュ動作は、2つのリフレッシュ動作サイクルREF1, REF2に分けて実行される。最初のリフレッシュステップ1では、ワード線を駆動して被リフレッシュメモリセルを選択し、そのデータをビット線対と転送ゲートTRGを介して、データレジスタDRGに転送する。データレジスタDRGは、実質的にセンスアンプと同じ回路であり、ビット線対を増幅することができ、そのデータを保持する。次にリフレッシュステップ2では、被リフレッシュメモリセルを再度選択して、データレジスタが保持するデータを転送ゲート経由でメモリセルに再書き込みする。いずれのリフレッシュステップでも、最後にプリチャージを行う。更に、2つのリフレッシュステップの間に、外部コマンドに対応する通常のリードまたはライト動作サイクルが挿入される。

【0076】図18(C)は、本実施の形態例での別のリフレッシュ動作を示す。リフレッシュ動作を2つの動作サイクルに分割したことにより、最初のリフレッシュステップ1では、被リフレッシュメモリセルのデータが破壊される。数内部動作サイクル後のリフレッシュステップ2でデータレジスタから再書き込みが行われるが、その間の通常内部動作サイクルで、被リフレッシュメモリセルと同じローアドレスがアクセスされると、リードまたはライト動作を正常に行うことができない。

【0077】そこで、図18に示される通り、被リフレッシュメモリセルのローアドレスAaと、その後の通常内部動作のローアドレスAaとが一致する場合は、その内部動作サイクルにおいて、転送ゲートTRGを開いて、データレジスタDRGが保持するデータをリードし、またはライトアンプWAからライトデータに応じたデータをデータレジスタDRGに書き込む。従って、この時の内部動作サイクルでは、必ずしもワード線を駆動する必要はない。

【0078】その後のリフレッシュステップ2では、ワード線が駆動され、再度転送ゲートTRGが開かれて、データレジスタDRGに保持されたデータが、ビット線対を経由してメモリセルに書き込まれる。これにより、リード動作の再書き込みと、ライト動作の再書き込みとが行われる。

【0079】そのために、図16に示した通り、アドレス比較器50が設けられ、比較結果信号に応じて、メモリ制御回路14が転送ゲートTRGの開閉を制御する。こ

のアドレス比較器 50 は、最初のリフレッシュコマンド REF1 と次のリフレッシュコマンド REF2 との間の期間だけ、比較器 50 にイネーブル信号 EN を出力し、その期間内でリフレッシュアドレス RAdd と外部アドレス EAdd とを比較させる。

【0080】図 19 は、第 3 の実施の形態例におけるタイミングチャート図である。8 回の外部動作サイクルに対して、10 回の内部動作サイクルが発生する。そして、2 番目と 7 番目に 2 つに分割されたリフレッシュ動作サイクル Ref1-a と Ref2-a とが実行される。従って、リフレッシュ動作サイクルは、外部コマンドを実行する 4 回の通常内部動作サイクル毎に実行される。しかも、リフレッシュ動作が 2 回に分割されているので、個々のリフレッシュ動作サイクルは、通常の内部動作サイクルの約半分の時間で終了する。その結果、リードコマンド Read-0 に対するアクセス時間が図 11 に比較して短くなる。これは、内部動作サイクル Read-0 の後のリフレッシュ動作サイクル Ref1-a の時間が短いので、内部動作サイクル Read-0 の出力データ Q0 と後続する内部動作サイクル Read-1 の出力データ Q1 とを連続させても、出力データ Q0 をそれほど遅くする必要がないからである。

【0081】図 19 に示される通り、8 個の外部クロック ECLK に対して、外部コマンドの実行を制御する 8 個の内部クロック ICLK1 と、2 個のリフレッシュクロック REF-CLK とが生成される。これにより、10 の内部動作サイクルが生成される。

【0082】図 20 は、第 3 の実施の形態例に適用するクロック発生回路 35 を示す図である。図 13 と同じ引用番号が与えられる。また、図 21 は、その動作タイミングチャート図である。図 13 のクロック発生回路と異なり、図 20 のクロック発生回路は、シフトレジスタ 37 が、5 段構成になっている。そして、シフトレジスタ 37 が生成する選択信号 S1, S5, S4, S3, S2 がマルチプレクサ 38 に与えられ、内部クロック N10 として、N1, N8, N4, N3, N2 の順番に選択される。従って、4 個の外部クロック ECLK に対して、5 個の内部クロック N10 が生成される。

【0083】そして、NAND ゲート 43 により、クロック N8 のタイミングの内部クロック N10 が選択されて、リフレッシュクロック REF-CLK が生成される。また、NOR ゲート 44 により、クロック N8 のタイミングの内部クロック N10 が除去されて、内部動作サイクルを開始する内部クロック ICLK1 が生成される。内部クロック ICLK1 は、遅延素子 D9-D12 により遅延され、別の内部クロック ICLK2 となる。図 20 には、出力ラッチクロック ICLK3 の生成回路は、省略されている。

【0084】図 22 は、第 3 の実施の形態例に適用するリフレッシュコマンド発生回路とその動作タイミングチャート図である。図 15 に示した第 2 の実施の形態例に適用されるリフレッシュコマンド発生回路と比較する

と、図 22 のリフレッシュコマンド発生回路は、フリップフロップ 60, 61, 62 及び NAND ゲート 63 が追加されている。従って、フリップフロップ 46, 47 と NAND ゲート 48 とで、リフレッシュタイマ信号 REFTM が生成してから、次のリフレッシュクロック REF-CLK に同期して、第 1 のリフレッシュコマンド REF1 が生成される。そして、フリップフロップ 60, 61, 62 及び NAND ゲート 63 により、リフレッシュタイマ信号 REFTM が生成してから、2 番目のリフレッシュクロック REF-CLK に同期して、第 2 のリフレッシュコマンド REF2 が生成される。そして、フリップフロップ 64 により、第 1 のリフレッシュコマンド REF1 が生成されてから、第 2 のリフレッシュコマンド REF2 が生成されるまでの期間、比較器イネーブル信号 EN が生成される。また、第 2 のリフレッシュコマンド REF2 が生成されてから後に、遅延回路 49 を介してカウントアップ信号 UP が生成される。

【0085】図 10 に示した第 2 の実施の形態例と、図 16 に示した第 3 の実施の形態例において、クロックイネーブル信号 CKE が外部から供給されている。このクロックイネーブル信号 CKE は、通常動作状態とパワーダウン状態とを指示する信号である。即ち、クロックイネーブル信号 CKE が H レベルの時は通常動作状態（活性状態）であり、L レベルの時はパワーダウン状態である。パワーダウン状態では、クロック発生回路 35 が各種クロックの発生を停止する。その結果、外部クロック CLK1 が供給されるコマンド、アドレス、データの入出力回路は、外部信号の入力や出力を停止する。また、メモリ制御回路 14 も外部コマンドに対応する動作を停止する。

【0086】図 23 は、パワーダウン状態でのリフレッシュコマンド発生回路とその動作タイミングチャートを示す図である。図 15 のリフレッシュコマンド発生回路と比較すると、NAND ゲート 66, 67 が追加され、クロックイネーブル信号 CKE が供給されている。

【0087】タイミングチャート図に示される通り、クロックイネーブル信号 CKE が H レベルの通常動作状態の時は、図 15 と同様に、リフレッシュタイマ信号 REFTM が生成した後に、リフレッシュクロック REF-CLK に同期してリフレッシュコマンド REF が生成される。一方、クロックイネーブル信号 CKE が L レベルのパワーダウン状態では、リフレッシュタイマ信号 REFTM が生成すると即リフレッシュコマンド REF が生成される。パワーダウン状態では、リフレッシュクロック REF-CLK が生成されないからである。

【0088】〔第 4 の実施の形態例〕第 2 及び第 3 の実施の形態例では、外部動作サイクルと外部クロックサイクルとが同じである。しかし、高速クロックに同期したシステムに搭載される集積回路装置やメモリ回路は、内部動作サイクルよりも 2 倍以上短いサイクルの高速外部クロックに対して内部動作を行う必要がある。その場合は、外部動作サイクルは、集積回路装置やメモリ回路の

内部動作サイクルと整合した長さになる。

【0089】第4の実施の形態例は、例えば外部動作サイクルが20nsに対して外部クロックサイクルが10nsのような場合に適用されるメモリ回路である。即ち、このメモリ回路は、外部動作サイクルが50MHzで動作可能であり、更に、クロックサイクルが100MHzのシステムに搭載することができる。かかる場合、高速クロックで動作するシステムは、メモリ回路の動作サイクルにあわせて、コマンド入力の間隔が2クロック以上に制約される。従って、最も高速なコマンド入力でも、一つおきの外部クロックに同期して外部コマンドが入力される。また、外部コマンドは、奇数外部クロックエッジと偶数外部クロックエッジのいずれかに同期して入力することが許される。その結果、奇数クロックエッジで外部コマンドが供給された後に、偶数クロックエッジで次の外部コマンドを供給する場合は、間に2外部クロックを挟まなければならない。

【0090】図24は、第4の実施の形態例におけるメモリ回路を示す図である。図25～28は、第4の実施の形態例の動作タイミングチャート図である。図25はその基本的動作を、図26は外部クロックECLKの位相a側で外部コマンドが入力される動作を、図27は外部クロックECLKの位相b側で外部コマンドが入力される動作を、図28は外部クロックECLKの位相a側とb側の両方でアトランダムに外部コマンドが入力される動作をそれぞれ示す。

【0091】このように、第4の実施の形態例では、外部動作サイクルと内部動作サイクルとの位相関係が2種類存在する。即ち、図26と図27の2種類である。従って、図26に示される通り、位相a側で外部コマンドが入力される場合は、7個の外部動作サイクルからなる拡大サイクル内に生成される8個の内部動作サイクルのうち、2番目の内部動作サイクルがリフレッシュ動作作用に割り当てられる。一方、図27に示される通り、位相b側で外部コマンドが入力される場合は、8個の内部動作サイクルのうち、6番目の内部動作サイクルがリフレッシュ動作作用に割り当てられる。更に、図28に示される通り、外部コマンドがランダムに入力される場合は、リフレッシュ動作作用の内部動作サイクルをあらかじめ定めることができない。従って、第4の実施の形態例では、外部コマンドの入力状況に応じてリフレッシュ動作作用サイクルが決定される。具体的には、リフレッシュコマンド発生回路20が、2つの連続外部クロックに同期した外部コマンドの入力状況に応じて、リフレッシュコマンドの発生を許可する状態になる。

【0092】更に、メモリ回路側は、いずれの位相で外部コマンドが供給されるか予測できないので、外部コマンドを入力するコマンドデコーダ11Aは、外部クロックに同期して、位相a、b側の両方で外部コマンドを入力して内部コマンドを保持しなければならない。従って、

図24に示される通り、コマンドレジスタ11Bは、外部クロックの位相aで入力される外部コマンドに対する内部コマンドを保持するレジスタ1aと、位相bの内部コマンドを保持するレジスタ1bとを有する。これらレジスタ1a、1bは、外部クロックECLKを2分周したクロックECLK1-aとECLK1-bとの同期して、コマンドを保持する。

【0093】これらの初段のレジスタ1a、1bの内部コマンドは、スイッチSW1a、SW1bを介して、後段のレジスタ2に、内部クロックICLK1に同期して保持される。内部クロックICLK1は、前述の実施の形態例と同様に外部動作サイクルの8/7倍の周波数(7/8倍のサイクル)を有する。後段レジスタ2は、例えばOR論理入力を有し、前段レジスタ1a、1bのいずれか一方に保持された内部コマンドを保持する。前段レジスタ1a、1bに内部コマンドが保持されていない場合は、後段レジスタ2は、内部コマンドを保持しない。

【0094】コマンドレジスタ11Bをこのような構成にして、図25のコマンドレジスタ1a、1bに記入される通り、各内部動作サイクルでは、スイッチSW1、SW2を同時に導通させて、両初段レジスタ1a、1bの内部コマンドを同時に後段レジスタ2に転送する。いずれか一方の位相a、bで外部コマンドが入力されるので、その一方の内部コマンドRD、WRが、後段レジスタ2に転送され、制御回路14により実行される。

【0095】更に、拡大サイクル内の8個の内部動作サイクルのうち、2番目の内部動作サイクルでは、初段レジスタ1bのみを後段レジスタ2に転送する。同様に、6番目の内部動作サイクルでは、初段レジスタ1aのみを後段に転送する。そして、リフレッシュコマンド発生回路20は、後段レジスタ2が何らかの内部コマンドRD、WRを保持している場合は、リフレッシュコマンドの発生を禁止され、いずれの内部コマンドRD、WRも保持していない場合は、リフレッシュコマンドの発生を許可される。

【0096】上記の動作が意味するところは、次の通りである。2番目の内部動作サイクルでは、初段レジスタ1bのみを監視するので、外部クロック1bで外部コマンドが入力しなかった場合は、リフレッシュ動作サイクルRefに割り当てられることになる。この動作は、図26に示される。次に、6番目の内部動作サイクルでは、初段レジスタ1aのみを監視するので、外部クロック5aで外部コマンドが入力しなかった場合は、リフレッシュ動作サイクルRefに割り当てられる。この動作は、図27に示される。

【0097】そして、通常の内部動作サイクルであっても、外部クロックECLKの両位相a、bで連続して外部コマンドが入力されない場合も、後段レジスタ2が内部コマンドを保持しないので、リフレッシュ動作サイクルとして割り当てられる。この動作は、図28に示される。図28の様に、外部クロックの両位相a、bでランダム

に外部コマンドが入力される場合は、外部コマンドの間に2外部クロックのインターバルが必要になるので、リフレッシュ動作サイクルとなる内部動作サイクルは多くなる。

【0098】以上の様に、外部コマンドの入力状況に応じて、内部動作サイクルがリフレッシュ動作サイクルに割り当てられる。そして、リフレッシュコマンド発生回路20は、リフレッシュタイマ信号REFTMが発生した時に、リフレッシュ動作サイクルでリフレッシュコマンドを発生する。

【0099】図26、27、28に示される通り、内部クロックICLK1は、7個の外部動作サイクル（2外部クロックECLKサイクルに該当）に対して、8個生成される。そして、データバスDB2へのリードデータの出力を制御する第2の内部クロックICLK2は、第1の内部クロックICLK1から遅延すると共に、リフレッシュ動作サイクルの時のクロックを除いて生成される。更に、出力ラッチクロックECLK-Lは、外部コマンドの入力が位相aかbかに応じて、外部クロックECLKの一方のクロックを、所定時間遅延させて生成される。出力ラッチクロックECLK-Lは、従って、外部クロックに同期したクロックである。図26では、出力ラッチクロックECLK-Lは、位相aの外部クロックECLKを遅延したクロックであり、図27では、位相bの外部クロックECLKを遅延したクロックである。図28の場合は、両位相の外部クロックの遅延クロックが混在する。

【0100】図24に戻り、初段レジスタ1a、1bの何れかに内部コマンドが保持されると、アドレスレジスタ12Cから外部アドレスが入力される。また、初段レジスタ1a、1bの何れかにライトコマンドWRが保持されると、データレジスタ135からライトデータが入力される。いずれも、有効外部クロックに同期して、外部アドレスとライトデータとが入力されることを意味する。

【0101】図29は、第4の実施の形態例に適用されるクロック発生回路を示す図である。また、図30は、その動作タイミングチャート図である。図13のクロック発生回路と同様に、8段のシフトレジスタ37と、マルチプレクサ38と、位相比較回路41、遅延制御回路42、及び可変遅延素子D1～D8からなるDLL回路が設けられる。図13の例と異なるところは、分周器70により外部クロックECLKから初段レジスタ制御のクロックECLK1-a、1-bが生成されることと、リードコマンドRDが発生した時にNANDゲート71により第2の内部クロックICLK2が生成されることと、出力ラッチクロックECLK-Lが、初段コマンドレジスタの出力のリードコマンドRD1(a)、RD1(b)が発生した時に、分周外部クロックのタイミングを遅延させて生成されることである。更に、スイッチ信号Dis-a、bがシフトレジスタ2、6のタイミングで生成される。

【0102】図30の動作タイミングチャート図は、外

部コマンドが、外部クロックECLK1の1a、2a、3a、4b、6aで入力された場合を示す。この場合は、内部動作サイクル2と6でリフレッシュ動作サイクルになる。そして、リードコマンドRDに応じて、第2の内部クロックICLK2が生成され、出力ラッチクロックECLK-Lが生成される。リードコマンドRDが発生しない時は、リードデータのメモリアーからの出力を制御する第2の内部クロックICLK2は生成されない。また、出力ラッチクロックECLK-Lは、分周された外部クロックECLK1-a、1-bから遅延し、コマンドレジスタ1のリードコマンドRD1の有無に応じて、生成される。

【0103】図31は、別のクロック発生回路を示す図である。このクロック発生回路は、図29に示したクロック発生回路に対して、スイッチSW11、SW12を追加して、シフトレジスタ37の選択信号SR3、4に応じてスイッチSW11がクロックN2、3、4のうちのいずれかを選択し、選択信号SR7、8に応じてスイッチSW12がクロックN6、7、8のいずれかを選択する。

【0104】図32は、図31のクロック発生回路の動作タイミングチャート図である。図31及び図32に示される通り、スイッチSW11は、シフトレジスタ37の選択信号SR3=Hの時はクロックN2を選択し、選択信号SR4=Hの時はクロックN4を選択し、それ以外ではクロックN3を選択する。その結果、図32に示される通り、出力ラッチクロックECLK-L(1a)は、僅かに位相が進み、内部クロックICLK2(1)、ECLK-L(1a)、ICLK2(2)とが重なることなく生成されることになる。同様に、出力ラッチクロックECLK-L(2a)は、僅かに位相が遅れ、内部クロックICLK2(3)が発生後に発生するようになる。これにより、リードデータがメモリアーからデータバスDB2に出力され、出力レジスタ134にラッチされる動作マージンを大きくすることができる。スイッチSW12も同様の構成と動作である。つまり、選択信号SR7=Hの時はクロックN6を選択し、選択信号SR8=Hの時はクロックN8を選択し、それ以外ではクロックN7を選択する。

【0105】図33は、第4の実施の形態例に適用されるリフレッシュコマンド発生回路とその動作を示す図である。図23に示したリフレッシュコマンド発生回路とは、リフレッシュクロックREF-CLKが、内部リードコマンドRDとライトコマンドWRに応じて生成される構成が異なる。即ち、内部動作サイクルの開始を制御する内部クロックICLK1が、小さい遅延回路82を経由して、NANDゲート81に供給される。そして、内部動作コマンドRD、WRが後段のコマンドレジスタ2から出力されていれば、NORゲート80によって、リフレッシュクロックREF-CLKの生成は禁止される。一方、内部動作コマンドRD、WRが後段のコマンドレジスタ2から出力されていなければ、NORゲート80によって、リフレッシュクロックREF-CLKの生成が許可される。

【0106】従って、通常動作状態（CKE=H）の時は、

リフレッシュタイマ信号REFTMが発生後、リフレッシュクロックREF-CLKが生成すれば、リフレッシュコマンドREFが生成され、カウントアップUPが生成される。一方、パワーダウンモード（CKE=L）の時は、リフレッシュタイマ信号REFTMが発生すれば即リフレッシュコマンドREFが生成される。

【0107】前述の通り、図24のコマンドレジスタ11Bと図33のリフレッシュコマンド発生回路との組み合わせにより、外部コマンドの入力状況に応じて、内部のリフレッシュコマンドREFの発生が許可されることになる。

【0108】図34は、第4の実施の形態例に適用される別のコマンドレジスタ回路を示す図である。図24に示したコマンドレジスタ11Bは、外部クロックECLKの位相a、bに対応して並列に2列の初段コマンドレジスタを設けた。それに対して、図34の回路例では、外部クロックECLKの両位相に同期して内部コマンドを保持するコマンドレジスタを直列（FF1, FF2とFF4, FF5）に設けて、スイッチSW1a, 1bの代わりに、ゲートG1, G3を設けた。それぞれのフリップフロップFF3, FF6は、後段のコマンドレジスタ2に対応する。

【0109】図34のコマンドレジスタ回路では、外部クロックに同期して生成されるクロックECLK1（分周していない）に同期して、コマンドデコーダ11Aがデコードして生成した最新のライトコマンドとリードコマンドとを、フリップフロップFF1, FF4にそれぞれラッチする。更に、フリップフロップFF2, FF5には、1つ前の外部クロックECLK1に同期してラッチされたコマンドが、分周内部クロックICLK1に同期してラッチされる。そして、クロック発生回路35から生成される選択信号Disに応じて、ゲートG1, G2, G3からなるOR回路により、フリップフロップFF1, FF2のライトコマンドの論理和か（Dis=L）、前段のフリップフロップFF1のライトコマンドか（Dis=H）が、後段フリップフロップFF3に保持される。リードコマンド側も同様である。アドレス取り込み信号Aenが内部リードコマンドRD1と内部ライトコマンドWR1の論理和がNORゲート85とインバータによって生成され、データ取り込み信号Denが内部ライトコマンドWR1によって生成される。

【0110】図35、36は、図34のコマンドレジスタ回路を使用した場合のメモリ回路の動作タイミングチャート図である。図35は、基本動作を示し、図36は、図28と同じように外部コマンドが外部クロックの位相aとbにランダムに供給された場合の動作を示す。

【0111】図34のコマンドレジスタ回路は、初段のレジスタを並列構成ではなく、直列構成にした。従って、図35に示される通り、フリップフロップFF4, 5には、連続する外部クロックECLK1に同期してラッチされたリードコマンドが並ぶことになる。その結果、リードコマンドRD1, RD2は、位相a, bの順番になる場合と、位相

b, aの順番になる場合とが、交互に発生する。従って、図34では、スイッチSW1a, 1bの代わりに、常に初段フリップフロップFF1, 4のコマンドRD1, WR1のみを後段フリップフロップFF3, FF6にラッチする。具体的には、スイッチ信号Disが2番目と6番目の内部動作サイクルでHレベルになり、ゲートG1, G2が後段フリップフロップFF2, FF5の出力の伝播を禁止する。このようにすることで、図35に示される通り、2番目の内部動作サイクルでは、位相1b側のコマンドが後段フリップフロップFF6に保持され、6番目の内部動作サイクルでは、位相5a側のコマンドが後段に保持される。つまり、図25の動作と実質的に同じになる。

【0112】図36のランダムに外部コマンドが入力された場合は、太枠に有効な内部コマンドが保持され、内部動作サイクル1, 4, 7がリフレッシュ動作サイクルに割り当てられる。尚、外部コマンドが外部クロックの位相aで連続して入力される場合は、図26と同様に内部動作サイクル2がリフレッシュ動作サイクルに割り当てられ、外部コマンドが外部クロックの位相bで連続して入力される場合は、図27と同様に内部動作サイクル6がリフレッシュ動作サイクルに割り当てられる。割り当てられたリフレッシュ動作サイクルで、リフレッシュタイマ信号REFTMが発生しておれば、リフレッシュコマンドREFが発生し、その動作が行われる。

【0113】図37は、図34のコマンドレジスタを利用した場合のクロック発生回路の図である。また、図38はその動作タイミングチャート図である。図37のクロック発生回路は、図29の例と比較すると、スイッチ信号Disがシフトレジスタ37の2段目と6段目のタイミングの論理和として、NORゲート85と後段インバータにより生成されることと、出力ラッチクロックECLK-Lが、リードコマンドRD1が生成される時に、出力クロックECLK1を遅延させて生成されることが異なる。図34のコマンドレジスタを直列回路構成にしたことにより、出力ラッチクロックECLK-Lの生成回路が簡素化することができる。但し、図29の出力ラッチクロック生成回路でも適用可能である。前述したとおり、2, 6番目の内部動作サイクルでスイッチ信号DisがHレベルになり、図34の前段フリップフロップFF1, FF4のみが後段フリップフロップFF3, FF6に転送される。

【0114】図38の動作タイミングチャート図は、図30と比較すると、分周クロックECLK1-a, 1-bが存在せず、初段コマンドレジスタのリードコマンドRD1の保持期間が半分になっていることである。図38での外部コマンドの組み合わせは、図30と同じであり、従って、全体の動作は同じである。即ち、リフレッシュ動作サイクルREFでは、内部クロックICLK2が生成されず、リードコマンドRD1に合わせて、一定の遅延後に出力ラッチクロックECLK-Lが生成される。

【0115】〔第5の実施の形態例〕第5の実施の形態

例は、外部動作サイクルに対して外部クロックサイクルが1/3の場合、つまり外部クロックの周波数が内部クロックに比較して3倍の場合のメモリ回路である。例えば、外部動作サイクル30nsのメモリデバイスをクロックサイクル10nsのシステムに搭載できるようにする例である。

【0116】図39は、第5の実施の形態例におけるメモリ回路の構成図である。第4の実施の形態例を示す図24と比較すると、図39では、コマンドレジスタ11Bの構成が異なる。図39では、外部クロックECLKが3倍の周波数を有するので、コマンドレジスタ11Bは、3つの並列の初段レジスタ1a, 1b, 1cとスイッチSW1a, 1b, 1cとで構成される。その為に、外部クロックECLKを1/3に分周したクロックECLK1-a, b, cが、初段レジスタのコマンド取り込みタイミングを制御する。それ以外の構成は、図24と同じである。

【0117】図40は、図39のメモリ回路の信号の流れを示し、図41は、外部コマンドが位相a, b, cにランダムに入力される場合の動作を示す。これらは、5個の外部動作サイクルで拡大サイクルが構成され、拡大サイクル内に、6個の内部動作サイクルが生成される。外部クロックECLKを1/3分周した3相クロックECLK1-a, b, cに従って、コマンドレジスタ11b内の初段レジスタ1a, 1b, 1cが、順次内部コマンドを保持する。そして、スイッチSW1a, 1b, 1cにより、位相a, b, cのコマンド全ての論理和を後段レジスタ2に転送するサイクルと、順次位相組み合わせをb, c-a, b-c, aと変化させてコマンドの論理和を転送するサイクルとを、交互に発生する。従って、図40に示されるとおり、内部サイクル1, 3, 5では位相a, b, cのコマンドの論理和、内部サイクル2, 4, 6では位相b, c, a, b, c, aのコマンドの論理和となっている。全ての論理和を転送するサイクルを複数サイクル連続させることも可能であるが、図40では紙面の関係上、最短の1サイクルにしている。

【0118】図40に示される通り、内部動作サイクル2では、位相1b, 1cのコマンドの論理和が後段のレジスタに転送される。従って、位相aに同期して最短のサイクルで外部コマンドが入力する場合は、2番目の内部動作サイクルで、リフレッシュ動作サイクルになる。同様に、位相bに同期して連続して外部コマンドが入力する場合は、6番目の内部動作サイクルがリフレッシュサイクルになる。また、位相cに同期して連続して外部コマンドが入力する場合は、4番目の内部動作サイクルがリフレッシュサイクルになる。

【0119】図41は、外部コマンドが位相1a, 2a, 3b, 4b, 5cで入力される場合の動作を示す。コマンドレジスタの太枠に有効な内部コマンドが発生している。従って、後段のコマンドレジスタに有効なコマンドが発生していない内部動作サイクル2, 6で、リフレッシュ動作可能サイクルREFになっている。このタイミングでリフレッ

シュタイマ信号REFTMが発生すれば、リフレッシュコマンド発生回路20がリフレッシュコマンドREFを発生する。

【0120】図42は、第5の実施の形態例に適用される別のコマンドレジスタ回路を示す図である。このコマンドレジスタ回路11Bは、初段レジスタが3段直列接続した例であり、2段直列接続した図34に対応する。図42では、リードコマンドが、外部クロックECLKと同期したクロックECLK1に同期して、フリップフロップFF10にラッチされ、順次後段のフリップフロップFF11, FF12に転送される。そして、それらの3つのフリップフロップの出力RD1, RD2, RD3の論理和がゲートG3, G5を経由して、後段レジスタFF13に転送される。また、スイッチ信号DisがHレベルになると、ゲートG3により3段目のフリップフロップFF13の出力RD3が削除されて、残りの出力RD1, RD2の論理和が後段レジスタFF13に転送される。ライトコマンド側も同じ構成、動作である。

【0121】図43は、図42の信号の流れを示す図である。図40と比較すると、各コマンドレジスタのコマンドRD1, 2, 3を保持する時間が短くなり、外部クロックECLK1に同期して順にシフトしているところが異なる。それ以外は、同じである。図43の場合は、コマンドRD1, 2, 3が順にシフトしていくので、選択信号Disの位相を選択することにより、コマンドRD1, RD2が位相c, b-a, a-a, cの外部コマンドに対応することになり、図42に示した3つのコマンドRD1, 2, 3のうち2つのコマンドRD1, 2の論理和を取るコマンドレジスタ回路に対応することができる。この場合も、内部動作サイクル2が、連続して位相aで外部コマンドが入力された場合のリフレッシュ動作サイクルになる。

【0122】図44は、外部コマンドが、外部クロック1a, 2a, 3b, 4b, 5cに同期して入力した場合の動作を示す図である。図41に対応する図である。図41と異なるところは、コマンドレジスタ内の有効コマンドを示す太枠の長さが短い点である。それ以外は同じであり、内部動作サイクル2, 6で有効なコマンドが保持されていないので、そのサイクルがリフレッシュ動作サイクルに割り当てられている。この場合も、リフレッシュタイマ信号が発生していれば、リフレッシュコマンドが生成される。

【0123】第5の実施の形態例を拡張すると、外部動作サイクルのL（Lは4以上）倍の外部クロックに対応するメモリ回路を構成することが可能になる。その場合は、連続するL個の外部クロックに同期して入力される外部コマンドの状況によって、リフレッシュコマンドの発生が許可される。そのときに、リフレッシュタイマ信号が発生してリフレッシュすべき時期であることが示されていれば、実際に内部動作がリフレッシュ動作となる。

【0124】[別のクロック発生回路] 図45, 46,

47は、別のクロック発生回路を示す図である。前述の様なこのクロック発生回路は、図45に示される通り、外部クロックECLKのサイクルが外部動作サイクルE_{cy}c及び内部動作サイクルI_{cy}cに対して十分短く、外部動作サイクルE_{cy}c及び内部動作サイクルI_{cy}cが、外部クロックECLKのサイクルの整数倍になる場合に適用される。図45の例では、外部動作サイクルE_{cy}cが外部クロックECLKのサイクルの5倍、内部動作サイクルI_{cy}cが同4倍の例である。従って、拡大サイクルL_{cy}cは、4つの外部動作サイクルE_{cy}c、5つの内部動作サイクルI_{cy}cを有する。この場合、外部コマンドRDは、外部クロックECLKのいずれの立ち上がりエッジにも同期して供給されるが、隣接する外部コマンド間は最低で4外部クロックECLKを挿入する必要がある。

【0125】上記のような場合は、図46に示される通り、クロック発生回路は、可変遅延素子と、位相比較回路と、遅延制御回路とからなるDLL回路を必要としない。つまり、外部クロックECLKをベースにして、内部クロックを生成することができる。

【0126】図46のクロック発生回路は、図13に示したクロック発生回路と比較すると、シフトレジスタ37とマルチプレクサ38が設けられていることでは共通するが、DLL回路は使用していない。その代わりに、外部クロックECLKから生成したクロックECLK1と、シフトレジスタ90の出力とのAND論理信号N1～N5を生成している。図47の動作タイミングチャートに示される通り、第1のシフトレジスタ90は、外部クロックECLK1に同期してシフトする。従って、それらのシフト信号と外部クロックECLK1との論理積をとったクロックN1～N5は、図13のDLL回路の出力N1～N9と類似する。そこで、これらのクロックN1～N5を、第2のシフトレジスタ37の出力で選択することにより、外部クロックECLK1の4倍のサイクル長を有する内部クロックICLK1を生成することができる。また、メモリコアからデータバスDB2にリードデータを出力するタイミングを制御する第2の内部クロックICLK2は、フリップフロップ91, 92, 93及びNANDゲート94を介して、2外部クロック分遅延したタイミングで生成される。

【0127】図46のクロック発生回路を利用する場合は、5つの内部動作サイクル内の適切な動作サイクルをリフレッシュ動作に利用できるようにすれば良い。更に、外部クロックに同期して入力される外部コマンドの状況に応じて、内部動作サイクルを適宜リフレッシュ動作に利用すれば良い。

【0128】〔第1の実施の形態の変形例1〕図48は、第1の実施の形態における変形例のメモリ回路を示す図である。図2-10に示した第1の実施の形態例では、通常動作状態の時は外部クロックに同期して内部コマンドに対応した動作を実行し、リフレッシュコマンドが発行された後は、リフレッシュコマンドに対応した動

作と内部コマンドに対応した動作とを外部クロックに非同期で実行する。非同期での動作では、外部コマンドより短いサイクルの内部動作サイクルでメモリアレイ動作が行われ、通常動作時よりも高速動作になっている。

【0129】これに対して、図48の変形例では、外部クロックECLK1より高速のクロックICLK3を発生するクロック発生回路102とスイッチ回路SWとを設けて、通常動作状態では、外部クロックECLKに同期した内部クロックICLK2を生成しそれに同期して内部動作を制御し、内部でリフレッシュコマンドが発生した後は、外部クロックECLKより高速のクロックICLK3に同期した内部クロックICLK2を生成し、それに同期して内部動作を制御する。内部動作サイクルが外部クロックサイクルに追いついた後は、通常動作状態にもどり、外部クロックECLKに同期した内部クロックICLK2を生成する。

【0130】このような内部動作タイミング用の内部クロックICLK2の切換のために、図48のメモリ回路では、リードコマンドRDとライトコマンドWRとリフレッシュコマンドREFの論理和をとるORゲート104と、その出力S1がHレベルになるタイミングとコマンド受付信号CMDENがHレベルになるタイミングとを比較する比較器103とを設けている。そして、コマンド受付信号CMDENのタイミングが早い間は、通常動作状態と判断され、動作切換信号OSWがLレベルになり、外部クロックECLKに同期したクロックECLK1が内部クロックICLK2として出力される。また、いずれかのコマンドの発生（ORゲート104の出力S1）のタイミングが早い間は、高速動作状態と判断され、動作切換信号OSWがHレベルになり、クロック発生回路102が生成する高速クロックICLK3が内部クロックICLK2として出力される。

【0131】図49は、図48の変形例の動作タイミングチャート図である。この例では、リードコマンドRDが外部クロックECLK1に同期して入力する。それに応答して、コマンドレジスタ11がリードコマンドを保持すると共に出力する。また、リフレッシュタイマ21が所定の周期で発生するリフレッシュタイマ信号REFTMに응答して、リフレッシュコマンド発生回路20がリフレッシュコマンドREFを発生する。一方、制御回路14は、コマンドに対応する内部動作が終了するたびにコマンド受付信号CMDENを発生し、次のコマンドの受付を行う。

【0132】そこで、比較器103は、コマンド受付信号CMDENの立ち上がりエッジと、リードコマンドRD、ライトコマンドWR及びリフレッシュコマンドREFの立ち上がりエッジ（又はHレベル開始時）とのタイミングを比較し、コマンド受付信号CMDENが早ければ動作切換信号OSWをLレベルにし通常動作モードとし、コマンドのタイミングが早ければ動作切換信号OSWをHレベルにして高速動作モードにする。つまり、この切換信号OSWに応じて、切換回路SWが外部クロックECLK1か高速クロックICLK3かを選択し、内部クロックICLK2として出力

する。制御回路14は、この内部クロックICLK2に同期してメモリコア15を制御する。但し、リードデータの出力タイミングやライトデータの出力タイミングは、外部クロックECLK1に同期して行われる。

【0133】図49の例では、リードコマンドRD-0A~RD-A2までは通常動作状態であり、外部クロックECLK1に同期した内部クロックICLK2が生成されるが、リフレッシュコマンドREFが発生した後は、高速動作状態になり、高速クロックICLK3に同期した内部クロックICLK2が生成されている。やがて、リードコマンドRD-A7で内部動作サイクルが外部クロックサイクルに追いついて、リードコマンドRD-A8以降は、通常動作状態に戻っている。

【0134】〔第1の実施の形態の変形例2〕図50は、更に第1の実施の形態における別の変形例のメモリ回路を示す図である。この変形例のメモリ回路は、外部クロックが供給されないで、非同期で動作するダイナミックランダムアクセスメモリである。かかる非同期型のDRAMに、第1の実施の形態の動作が適用される。

【0135】非同期型のDRAMは、外部コマンドを供給できる最小外部コマンド間隔がスペックに定められている。従って、メモリコントローラは、このスペックで定められた最小外部コマンド間隔より狭い時間間隔で外部コマンドを供給することはできない。そして、メモリ回路は、外部コマンドを受信してから内部のメモリ動作を行い、リードデータを出力する。リードコマンドを入力してからリードデータが出力されるまでのアクセスタイムが、スペックで定められている。従って、メモリコントローラは、外部コマンドを与えてから、上記アクセスタイムより遅れたタイミングでリードデータを取得する。リードデータを取得した時点で、メモリコントローラは、リードデータ取得を示す通知信号をメモリ回路に返信する。

【0136】第1の実施の形態例は、通常動作時には、外部コマンドにตอบสนองして動作し、内部リフレッシュコマンドが発生した時は、外部コマンドサイクルより短く外部クロックに非同期の内部動作サイクルで動作する。従って、通常動作時は低速動作モードで動作し、内部リフレッシュコマンドが発生した時は高速動作モードで動作する。この動作を、非同期型DRAMに適用することは容易である。

【0137】図50に示した変形例のメモリ回路は、図2のメモリ回路と比較すると、クロックバッファ10が設けられていない。そして、出力タイミング信号SOUTを生成する遅延回路100が新たに設けられている。この出力タイミング信号SOUTにตอบสนองしてデータI/Oバッファ・レジスタ13が、リードデータを出力する。この遅延回路の遅延時間が、前述のアクセスタイムに対応する。それ以外の構成は、図2と同じである。

【0138】制御回路14は、図4に示したものと同一

であり、コマンドに対応した制御信号を発生してメモリアレイでの動作が終了すると、コマンド受付信号CMDENを生成し、次のコマンドを取得して対応する制御信号を発生する。そして、本変形例では、内部動作サイクルに対応するメモリアレイでの動作期間が、最小外部コマンド間隔より短く設計されている。その結果、通常動作では、外部コマンドの入力タイミングに同期して内部動作サイクルを繰り返すことができる。一方、内部でリフレッシュコマンドが発生した時は、外部コマンドの入力タイミングに同期せずに内部動作サイクルを連続して実行する。つまり、通常動作では、外部コマンドタイミングに同期して低速動作モードとなり、内部リフレッシュコマンドが発生すると、内部動作サイクルに従って高速動作モードとなる。そして、内部動作サイクルが外部コマンドタイミングに追いついたら、低速動作モードに戻る。

【0139】図51は、変形例の動作を示すタイミングチャートである。図51(A)が通常動作時であり、外部コマンドのタイミングに同期した低速動作モードである。図示されるとおり、メモリアレイでの動作期間 t_{mca} は、最小外部コマンド間隔 t_{ecmd} よりも短くなるように設計されている。従って、内部動作サイクルであるメモリアレイ動作が、外部コマンドに同期して開始すると、次の外部コマンドが供給されるより前にその動作が終了する。メモリアレイ動作の終了にตอบสนองして、コマンド受付信号CMDENがHレベルに立ち上がるが、その時点では、次の外部コマンド(RD, WR)は供給されていない。所定の時間経過後に、次の外部コマンドが供給されると、それにตอบสนองして次のメモリアレイ動作が開始する。非同期型DRAMであっても、内部動作サイクル t_{mca} が最小外部コマンド間隔 t_{ecmd} より短いので、通常動作では、内部動作サイクルが外部コマンドのタイミングに同期して繰り返すことができる。

【0140】図51(B)は、内部リフレッシュコマンドREFが発生した時の外部コマンドタイミングに同期しない高速動作モードである。内部リフレッシュ動作が割り込まれたため、メモリアレイ動作が次の外部コマンドのタイミングまでに終了することができない。従って、次のメモリアレイ動作は、コマンド受付信号CMDENの立ち上がりに対応して連続して実行される。つまり、次の外部コマンドのタイミングを待つことなく、内部動作サイクルが連続して実行される。

【0141】図52は、変形例における通常動作から内部リフレッシュコマンドが発生して高速動作モードに移行する場合の動作タイミングチャート図である。図5の動作タイミングチャート図からクロックCLK1を除いたものと同じである。最初のリードコマンドRD(A0)が発生した時は、既に前のメモリアレイ動作が終了してコマンド受付信号CMDENはHレベルになっている。従って、内部のメモリアレイ動作は、リードコマンドRD(A0)のタイミ

ングに応答して開始する。これがサイクル1である。メモリアレイ動作は、前述のとおり、ワード線駆動（制御信号 ϕ WL）、センスアンプ活性化（制御信号 ϕ LE）、コラムゲート選択（制御信号 ϕ CL）、そしてプリチャージ（ ϕ PRE）で構成される。プリチャージ制御信号 ϕ PREが発生すると、コマンド受付信号CMDENがHレベルになる。

【0142】図52の例では、最初のリード動作実行中にリフレッシュタイマREFTMがHレベルになり、内部リフレッシュのタイミングになったことを通知している。それに応答して、内部リフレッシュコマンドREF(Aa)が発生している。そして、最初のリードコマンドに対応するメモリアレイ動作が終了してコマンド受付信号CMDENがHレベルになった時点では、すでにリフレッシュコマンドREF(Aa)が発生しており、即座にリフレッシュコマンドに対応するリフレッシュ動作が開始する。これがサイクル2である。リフレッシュ動作は、コラムゲート選択が伴わないリード動作と同じである。

【0143】更に、内部でリフレッシュ動作中に、次のリードコマンドRD(A1)が供給されているので、リフレッシュ動作が終了すると、続けて内部のリード動作が開始する。これがサイクル3である。

【0144】図53は、変形例における低速動作モードと高速動作モードの動作タイミングチャート図である。この図は、図6からクロックCLK1を除いたものと同じである。即ち、クロック非同期のDRAMであり、外部コマンドCMDは、最小外部コマンド間隔以上の間隔で供給され、外部コマンドの供給から一定の遅延時間DELAY後にリードデータがDQ端子から出力される。図53の例では、最初の3つのリードコマンドRD-A0～A2までは、外部コマンドに同期して内部動作が実行される低速動作モードである。そして、リフレッシュコマンドREFが発生した後のリードコマンドRD-A4～A7までが、内部動作サイクルで動作が繰り返される高速動作モードである。内部動作サイクルが外部コマンドのタイミングに追いつくと、リードコマンドRD-A8以降は、外部コマンドに同期した低速動作モードに戻っている。

【0145】以上のとおり、第1の実施の形態においては、外部コマンドが外部クロックに同期して供給されている場合でも、外部クロックに非同期に供給されている場合でも、内部動作サイクルを外部動作サイクルまたは最短外部コマンドサイクルより短くしておくことにより、内部で発生するリフレッシュコマンドを通常コマンド（リードやライト）の間に割り込ませて実行することができる。

【0146】以上の実施の形態例をまとめると次の付記の通りである。

【0147】（付記1）リフレッシュ動作を必要とするメモリ回路において、メモリセルを有するメモリコアとクロックに同期して供給されたコマンドを受信し内部に

第1の内部コマンドを生成する第1の回路と、前記クロックサイクルより大きい所定のリフレッシュサイクルで、内部にリフレッシュコマンドを生成する第2の回路と、前記第1の内部コマンドに従って、対応する制御をクロック同期動作で実行し、前記リフレッシュコマンドが発行されると、当該リフレッシュコマンドに対応する制御と、前記第1の内部コマンドに対応する制御とをクロック非同期動作で順次実行するメモリ制御回路とを有することを特徴とするメモリ回路。

10 【0148】（付記2）付記1において、前記第1の回路は、前記供給コマンドに対応する前記第1の内部コマンドを保持し、前記メモリ制御回路は、動作サイクル終了時に内部コマンド受付信号を生成し、当該内部コマンド受付信号に応答して、前記第1の内部コマンドまたはリフレッシュコマンドを受け付け、対応する制御を実行することを特徴とするメモリ回路。

【0149】（付記3）付記2において、前記メモリ制御回路は、前記第1の内部コマンドの受け付けに応答して、前記第1の回路のコマンドをリセットし、前記リフレッシュコマンドの受付に応答して、前記第2の回路のコマンドをリセットすることを特徴とするメモリ回路。

【0150】（付記4）付記2において、前記メモリ制御回路は、前記内部コマンド受付信号が発生した時に前記第1の内部コマンドまたはリフレッシュコマンドが発生していれば、当該コマンドに対応する制御をクロック非同期動作で実行し、前記内部コマンド受付信号が発生した時に前記第1の内部コマンドまたはリフレッシュコマンドが発生していなければ、当該コマンドが発生するのを待ち、その後発生したコマンドに対応する制御を実行することを特徴とするメモリ回路。

【0151】（付記5）付記1乃至4のいずれかにおいて、更に、タイマー回路を有し、前記第2の回路は、該タイマー回路が生成するリフレッシュタイミング信号に基づいて、前記リフレッシュコマンドを生成することを特徴とするメモリ回路。

【0152】（付記6）集積回路装置において、クロックに同期して供給されたコマンドを受信し内部に第1の内部コマンドを生成する第1の回路と、前記クロックサイクルより大きい所定のサイクルで、内部に第2のコマンドを生成する第2の回路と、前記第1の内部コマンドに従って、対応する制御をクロック同期動作で実行し、前記第2のコマンドが発行されると、当該第2のコマンドに対応する制御と、前記第1の内部コマンドに対応する制御とをクロック非同期動作で順次実行する内部回路とを有することを特徴とする集積回路装置。

【0153】（付記7）リフレッシュ動作を必要とするメモリ回路において、メモリセルを有するメモリコアとM（ $M \geq 2$ ）回の外部動作サイクルに対して、Mより多いN（ $M < N < 2M$ ）回の内部動作サイクルを有するメモリ制御回路と、リフレッシュコマンドを発生するリフ

レッシュコマンド発生回路とを有し、前記N回の内部動作サイクルは、前記外部動作サイクルに対応する外部コマンドを実行する第1の内部動作サイクルと、前記リフレッシュコマンドを実行する第2の内部動作サイクルとを有することを特徴とするメモリ回路。

【0154】(付記8)付記7において、更に、前記外部動作サイクルを画定する外部クロックに従って、前記内部動作サイクルを画定する内部クロックを生成する内部クロック発生回路を有し、前記外部コマンドは、前記外部クロックに同期して入力され、前記内部動作サイクルは、前記内部クロックに同期していることを特徴とするメモリ回路。

【0155】(付記9)付記8において、リードデータの出力及びライトデータの出力は、前記外部クロックに同期して行われ、当該リードデータの出力は、前記内部クロックに同期して行われることを特徴とするメモリ回路。

【0156】(付記10)付記8において、前記内部クロック発生回路は、前記M個の外部クロックに対して、前記N個の内部クロックを発生し、当該N個の内部クロックは、前記第1の内部動作サイクルを制御する第1の内部クロックと、前記第2の内部動作サイクルを制御する第2の内部クロックとを有し、前記メモリ制御回路は、前記内部で発生するリフレッシュコマンドにตอบสนองして、前記第2の内部クロックに同期してリフレッシュ動作を実行することを特徴とするメモリ回路。

【0157】(付記11)付記8において、前記内部クロック発生回路は、前記M個の外部クロックに対して、前記N個の内部クロックを発生し、当該N個の内部クロックは、前記第1の内部動作サイクルを制御する第1の内部クロックと、前記第2の内部動作サイクルを制御する第2の内部クロックとを有し、更に、所定のリフレッシュサイクルで生成されるリフレッシュタイマ信号と前記第2の内部クロックにตอบสนองして、前記リフレッシュコマンドを生成するリフレッシュコマンド発生回路を有し、前記メモリ制御回路は、前記リフレッシュコマンドに応じてリフレッシュ動作を実行することを特徴とするメモリ回路。

【0158】(付記12)付記10において、更に、前記外部クロックが入力されないパワーダウンモードを有し、当該パワーダウンモード時には、前記メモリ制御回路は、所定のリフレッシュサイクルで生成されるリフレッシュタイマ信号にตอบสนองして、前記内部クロックにかかわらず、前記リフレッシュ動作を実行することを特徴とするメモリ回路。

【0159】(付記13)付記11において、更に、前記外部クロックが入力されないパワーダウンモードを有し、前記リフレッシュコマンド発生回路は、前記リフレッシュタイマ信号にตอบสนองして、前記第2の内部クロック

10

20

30

40

50

にかかわらず、前記リフレッシュコマンドを生成することを特徴とするメモリ回路。

【0160】(付記14)付記7, 8, 9のいずれかにおいて、前記メモリ制御回路は、前記リフレッシュコマンドに対応する制御を、複数の第2の内部動作サイクルに分割して行うことを特徴とするメモリ回路。

【0161】(付記15)付記14において、前記複数の第2の内部動作サイクルは、所定数の連続する第1の内部動作サイクルを間に挟んでいることを特徴とするメモリ回路。

【0162】(付記16)付記14において、前記複数の第2の内部動作サイクルは、所定数の連続する第1の内部動作サイクルを間に挟んでいて、前記第2の内部動作サイクルは、前記第1の内部動作サイクルより短いことを特徴とするメモリ回路。

【0163】(付記17)付記14において、前記メモリコアは、被リフレッシュメモリセルのデータを一時的に保持するデータレジスタを有し、前記メモリ制御回路は、最初の第2の内部動作サイクルで前記被リフレッシュメモリセルのデータを読み出して前記データレジスタ内に保持されたデータを前記被リフレッシュメモリセルに書き込みすることを特徴とするメモリ回路。

【0164】(付記18)付記17において、前記最初の第2の内部動作サイクルにおけるアドレスと、後続する第1の内部動作サイクルにおけるアドレスが一致する場合は、当該後続する第1の内部動作サイクルにおいて、前記データレジスタが保持するデータに従って、読み出したまたは書き込みが行われることを特徴とするメモリ回路。

【0165】(付記19)クロックに同期して動作する集積回路装置において、M($M \geq 2$)回の外部動作サイクルに対して、Mより多いN($M < N < 2M$)回の内部動作サイクルを有する内部回路を有し、前記N回の内部動作サイクルは、前記外部動作サイクルに対応する外部コマンドを実行する第1の内部動作サイクルと、内部コマンドを実行する第2の内部動作サイクルとを有することを特徴とする集積回路装置。

【0166】(付記20)付記19において、更に、前記外部動作サイクルを画定する外部クロックに従って、前記内部動作サイクルを画定する内部クロックを生成する内部クロック発生回路を有し、前記外部コマンドは、前記外部クロックに同期して入力され、前記内部動作サイクルは、前記内部クロックに同期していることを特徴とする集積回路装置。

【0167】(付記21)リフレッシュ動作を必要とするメモリ回路において、メモリセルを有するメモリコアとM($M \geq 2$)回の外部動作サイクルに対して、Mより多いN($M < N < 2M$)回の内部動作サイクルを有するメモリ制御回路と、リフレッシュコマンドを発生するリ

フレッシュコマンド発生回路とを有し、前記N回の内部動作サイクルは、前記外部動作サイクルに対応する外部コマンドを実行する第1の内部動作サイクルと、前記リフレッシュコマンドを実行する第2の内部動作サイクルとを有し、前記リフレッシュコマンド発生回路は、前記外部コマンドに応じて前記リフレッシュコマンドを発生することを特徴とするメモリ回路。

【0168】(付記22)付記21において、前記外部クロックの周波数が、前記外部動作サイクルよりも高く、当該外部クロックに従って前記内部動作サイクルを画定する内部クロックを生成する内部クロック発生回路を有し、前記外部コマンドは、前記外部動作サイクル以上のサイクルで供給され、更に、前記外部クロックに同期して入力されることを特徴とするメモリ回路。

【0169】(付記23)付記22において、前記リフレッシュコマンド発生回路は、所定数の前記外部クロックに同期して入力される外部コマンドの組み合わせに応じて、前記リフレッシュコマンドの発生を許可することを特徴とするメモリ回路。

【0170】(付記24)付記22において、前記リフレッシュコマンド発生回路は、所定数の連続する前記外部クロックのうち何れかの外部クロックに同期して前記外部コマンドが入力されない時に、前記リフレッシュコマンドの発生を許可することを特徴とするメモリ回路。

【0171】(付記25)付記22において、前記外部コマンドの周波数が、前記外部動作サイクルのL倍の場合に、前記リフレッシュコマンド発生回路は、前記L個の連続する外部クロックのうち何れか(L-1)個の外部クロックに同期して前記外部コマンドが入力されない時に、前記リフレッシュコマンドの発生を許可し、更に、前記M個の外部動作サイクル内において、前記(L-1)個の外部クロックの組み合わせが循環することを特徴とするメモリ回路。

【0172】(付記26)付記22において、前記外部コマンドの周波数が、前記外部動作サイクルのL倍の場合に、更に、最新の前記L個の外部クロックにおける前記外部コマンドを保持し、該保持した外部コマンドに従って、対応する内部コマンドを発生する内部コマンドレジスタを有し、前記内部コマンドレジスタは、前記N回の内部動作サイクルの間での所定のサイクルにおいて、前記L個の保持した外部コマンドのうち、一部のサイクルの保持外部コマンドを無視して、前記内部コマンドを発生することを特徴とするメモリ回路。

【0173】(付記27)付記26において、前記リフレッシュコマンド発生回路は、前記内部コマンドレジスタが発生する内部コマンドに応じて、前記リフレッシュコマンドの発生を許可することを特徴とするメモリ回路。

【0174】(付記28)付記26において、前記リフレッシュコマンド発生回路は、前記内部コマンドレジスタ

タが発生する内部コマンドが存在しない時に、前記リフレッシュコマンドの発生を許可することを特徴とするメモリ回路。

【0175】(付記29)付記23乃至28のいずれかにおいて、前記リフレッシュコマンド発生回路は、所定のタイミングで発生するリフレッシュタイマ信号の発生にตอบสนองして、前記リフレッシュコマンド発生許可状態の時に、前記リフレッシュコマンドを発生することを特徴とするメモリ回路。

【0176】(付記30)リフレッシュ動作を必要とするメモリ回路において、メモリセルを有するメモリコアと外部クロックに同期して供給されたコマンドを受信し内部に第1の内部コマンドを生成する第1の回路と、前記外部クロックサイクルより大きい所定のリフレッシュサイクルで、内部にリフレッシュコマンドを生成する第2の回路と、前記外部クロックに同期した第1の内部動作サイクルと、当該第1の内部動作サイクルより短い第2の内部動作サイクルとを有し、前記第1の内部コマンドに対応する制御を前記第1の内部動作サイクルで実行し、前記リフレッシュコマンドが発行された時、当該リフレッシュコマンドに対応する制御と、前記第1の内部コマンドに対応する制御とを、前記第2の内部動作サイクルで順次実行するメモリ制御回路とを有することを特徴とするメモリ回路。

【0177】(付記31)付記30において、更に、前記第1の内部コマンドまたはリフレッシュコマンドの発生タイミングより内部動作の終了タイミングが早い間は、前記メモリ制御回路は、前記第1の内部動作サイクルで対応する制御を実行し、前記内部動作の終了タイミングより前記第1の内部コマンドまたはリフレッシュコマンドの発生タイミングが早い間は、前記メモリ制御回路は、前記第2の内部動作サイクルで対応する制御を実行することを特徴とするメモリ回路。

【0178】(付記32)クロックに同期して動作する集積回路装置において、外部から受信したコマンドに従い内部に第1の内部コマンドを生成する第1の回路と、外部動作サイクルより長いサイクルで内部に第2の内部コマンドを生成する第2の回路と、前記外部動作サイクルに同期して内部動作を実行する第1の内部動作サイクルと、当該第1の内部動作サイクルより短いサイクルで内部動作を実行する第2の内部動作サイクルとを有する内部回路とを有し、前記内部回路は、通常は第1の内部動作サイクルで前記第1の内部コマンドに対応する動作を実行し、該第2の内部コマンドが発生したら所定の期間該第2の動作サイクルで前記第1及び第2の内部コマンドに対応する動作を実行することを特徴とする集積回路装置。

【0179】(付記33)リフレッシュ動作を必要とするメモリ回路において、メモリセルを有するメモリコアと最小外部コマンドサイクル以上の間隔で供給される外

部コマンドを受信し、内部に第 1 の内部コマンドを生成する第 1 の回路と、前記最小外部コマンドサイクルより長いリフレッシュサイクルで、内部にリフレッシュコマンドを生成する第 2 の回路と、前記最小外部コマンドサイクルより短い内部動作サイクルで前記第 1 の内部コマンドに対応する内部動作を実行するメモリ制御回路とを有し、前記メモリ制御回路は、前記内部動作サイクルの終了が前記外部コマンドのタイミングより早い場合は、当該外部コマンドのタイミングに回答して前記第 1 の内部コマンドに対応する内部動作を実行し、前記リフレッシュコマンドが発行されると、当該リフレッシュコマンドと前記第 1 の内部コマンドに対応する内部動作を前記内部動作サイクルで順次実行することを特徴とするメモリ回路。

【0180】(付記 34) 付記 33 において、前記メモリ制御回路は、前記内部動作サイクルの終了時に、前記第 1 の回路が発生した第 1 の内部コマンドまたは前記第 2 の回路が発生したリフレッシュコマンドを受付し、対応する内部動作を実行することを特徴とするメモリ回路。

【0181】以上、本発明の保護範囲は、上記の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

【0182】

【発明の効果】以上、本発明によれば、クロック同期型の集積回路において、外部からの命令に対応しない所定の内部動作サイクルを自発的に生成して実行することができるので、外部コントローラの制御を容易にすることができる。

【0183】また、本発明によれば、リフレッシュを必要とするメモリ回路において、通常動作状態でも、外部コントローラからリフレッシュコマンドを与えることなく、内部で自動的にリフレッシュ動作サイクルを生成することができる。

【図面の簡単な説明】

【図 1】従来のメモリ回路の構成図である。

【図 2】第 1 の実施の形態例におけるメモリ回路の全体構成図である。

【図 3】クロック同期動作とクロック非同期動作を示す図である。

【図 4】メモリ制御回路 14 の構成例を示す図である。

【図 5】リフレッシュコマンドが発生した時のクロック同期動作からクロック非同期動作に移行する場合を示すタイミングチャート図である。

【図 6】第 1 の実施の形態例におけるクロック同期動作とクロック非同期動作とを示すタイミングチャート図である。

【図 7】より低速の外部クロックの場合のクロック同期動作とクロック非同期動作とを示すタイミングチャート図である。

【図 8】更に低速の外部クロックの場合のクロック同期動作とクロック非同期動作とを示すタイミングチャート図である。

【図 9】外部クロック CLK1 のサイクルに比較して内部動作サイクルが 2 倍長い場合のクロック同期動作とクロック非同期動作とを示すタイミングチャート図である。

【図 10】第 2 の実施の形態例におけるメモリ回路の構成図である。

【図 11】第 2 の実施の形態例のメモリ回路の動作タイミングチャート図である。

【図 12】リードコマンドとライトコマンドとが混在する場合の動作タイミングチャート図である。

【図 13】クロック発生回路の回路図である。

【図 14】クロック発生回路の動作タイミングチャート図である。

【図 15】リフレッシュコマンド発生回路とその動作タイミングチャートとを示す図である。

【図 16】第 3 の実施の形態例におけるメモリ回路の構成図である。

【図 17】第 3 の実施の形態例のリフレッシュ動作を説明する図である。

【図 18】第 3 の実施の形態例のリフレッシュ動作を説明する図である。

【図 19】第 3 の実施の形態例の動作タイミングチャート図である。

【図 20】第 3 の実施の形態例に適用するクロック発生回路を示す図である。

【図 21】クロック発生回路の動作タイミングチャート図である。

【図 22】第 3 の実施の形態例に適用するリフレッシュコマンド発生回路とその動作タイミングチャートを示す図である。

【図 23】パワーダウン状態でのリフレッシュコマンド発生回路とその動作タイミングチャートを示す図である。

【図 24】第 4 の実施の形態例におけるメモリ回路を示す図である。

【図 25】第 4 の実施の形態例の動作タイミングチャート図である。

【図 26】第 4 の実施の形態例の動作タイミングチャート図である。

【図 27】第 4 の実施の形態例の動作タイミングチャート図である。

【図 28】第 4 の実施の形態例の動作タイミングチャート図である。

【図 29】第 4 の実施の形態例に適用されるクロック発生回路を示す図である。

【図 30】図 29 のクロック発生回路の動作タイミングチャート図である。

【図 31】第 4 の実施の形態例に適用される別のクロック

ク発生回路を示す図である。

【図 3 2】図 2 9 のクロック発生回路の動作タイミングチャート図である。

【図 3 3】第 4 の実施の形態例に適用されるリフレッシュコマンド発生回路とその動作を示す図である。

【図 3 4】第 4 の実施の形態例における別のコマンドレジスタ回路を示す図である。

【図 3 5】図 3 4 のコマンドレジスタ回路を使用した場合のメモリ回路の動作タイミングチャート図である。

【図 3 6】図 3 4 のコマンドレジスタ回路を使用した場合のメモリ回路の動作タイミングチャート図である。

【図 3 7】図 3 4 のコマンドレジスタを利用した場合のクロック発生回路の図である。

【図 3 8】図 3 7 のクロック発生回路の動作タイミングチャート図である。

【図 3 9】第 5 の実施の形態例におけるメモリ回路の構成図である。

【図 4 0】図 3 9 の信号の流れを示す図である。

【図 4 1】図 3 9 の動作タイミングチャート図である。

【図 4 2】第 5 の実施の形態例における別のコマンドレジスタ回路の図である。

【図 4 3】図 4 2 の信号の流れを示す図である。

【図 4 4】図 4 2 の動作タイミングチャート図である。

【図 4 5】別のクロック発生回路が適用される外部動作サイクルと内部動作サイクルとの関係を示す図である。

【図 4 6】別のクロック発生回路を示す図である。

【図 4 7】図 4 6 のクロック発生回路の動作タイミングチャート図である。

【図 4 8】第 1 の実施の形態例における変形例のメモリ回路を示す図である。

【図 4 9】図 4 8 の変形例の動作タイミングチャート図である。

【図 5 0】第 1 の実施の形態例における別の変形例のメモリ回路を示す図である。

【図 5 1】変形例の動作を示すタイミングチャートである。

【図 5 2】変形例における通常動作から内部リフレッシュコマンドが発生して高速動作モードに移行する場合の動作タイミングチャート図である。

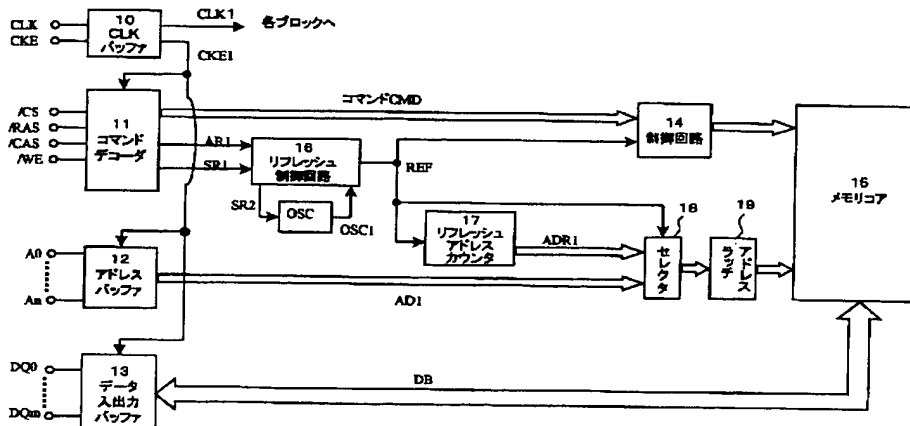
【図 5 3】変形例における低速動作モードと高速動作モードの動作タイミングチャート図である。

【符号の説明】

1 1	コマンドデコーダ、コマンドレジスタ (11 B)
1 2	アドレスバッファ、アドレスレジスタ
1 3	データ入出力バッファ、データ入出力レジスタ
1 4	制御回路、メモリ制御回路
1 5	メモリコア
2 0	リフレッシュコマンド発生回路
2 1	リフレッシュタイマ
3 5	クロック発生回路
5 0	アドレス比較器
ECLK	外部クロック
ECLK1	外部クロック同期のクロック
ICLK1, 2, 3	内部クロック
ICLK-L	出力ラッチクロック
CMD	外部コマンド
RD, WR	内部コマンド、リードコマンド、ライトコマンド
REF-CLK	リフレッシュクロック
30 REFTM	リフレッシュタイマ信号
REF	リフレッシュコマンド

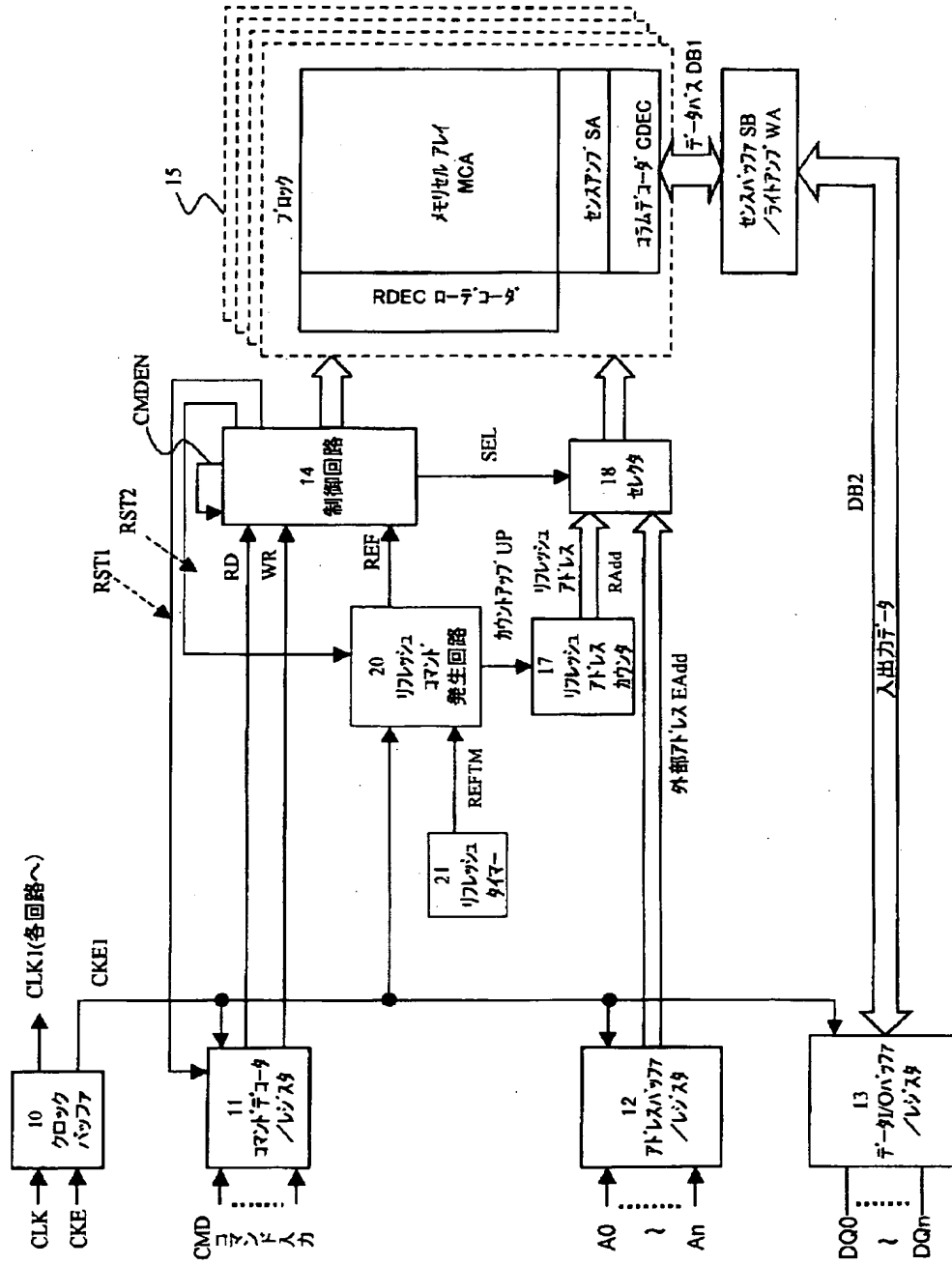
【図 1】

従来例

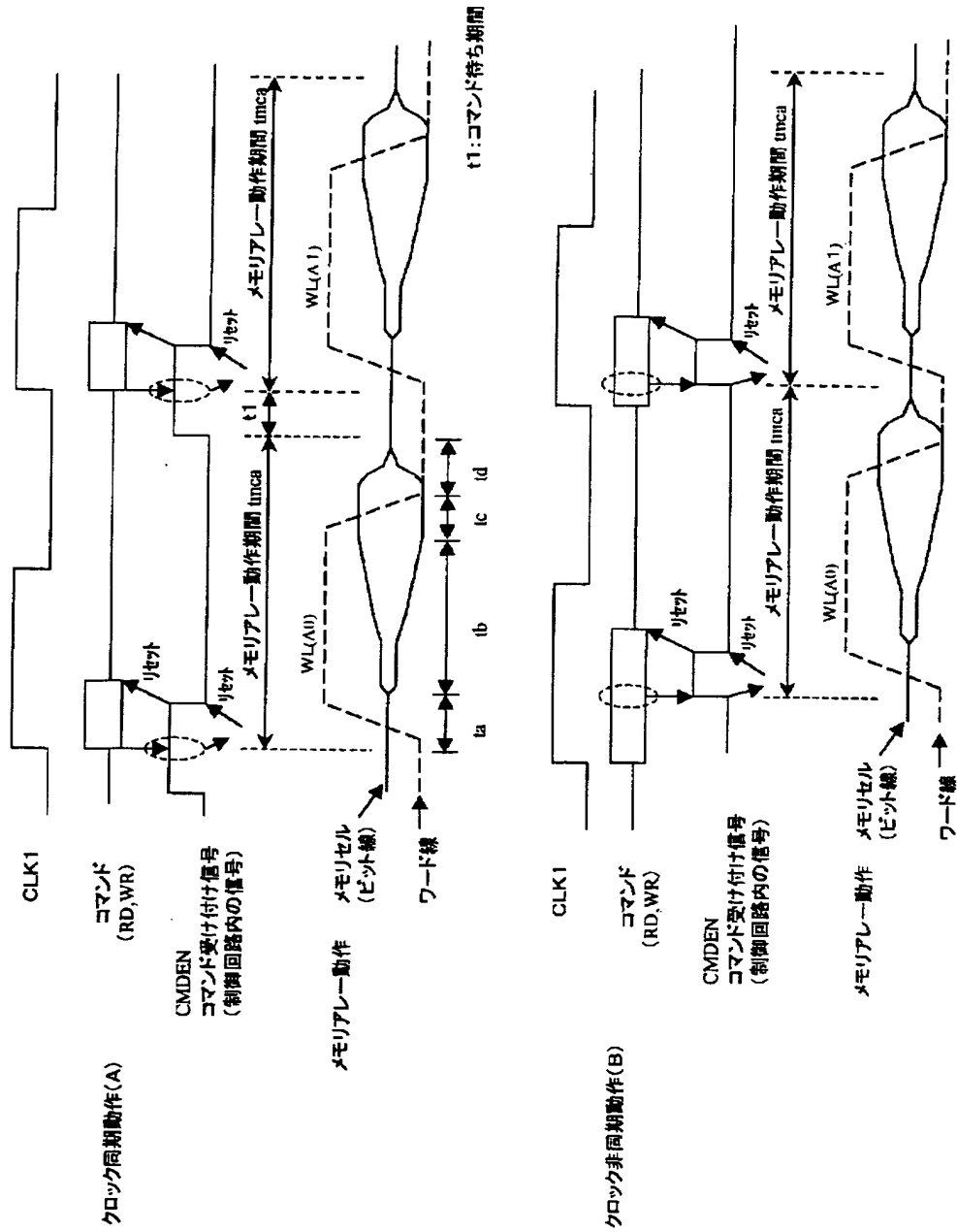


【図 2】

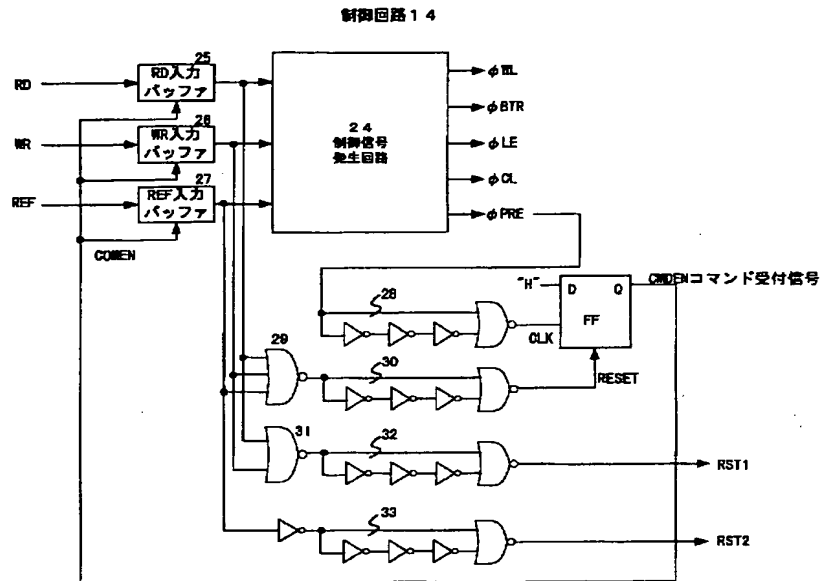
第1の実施の形態



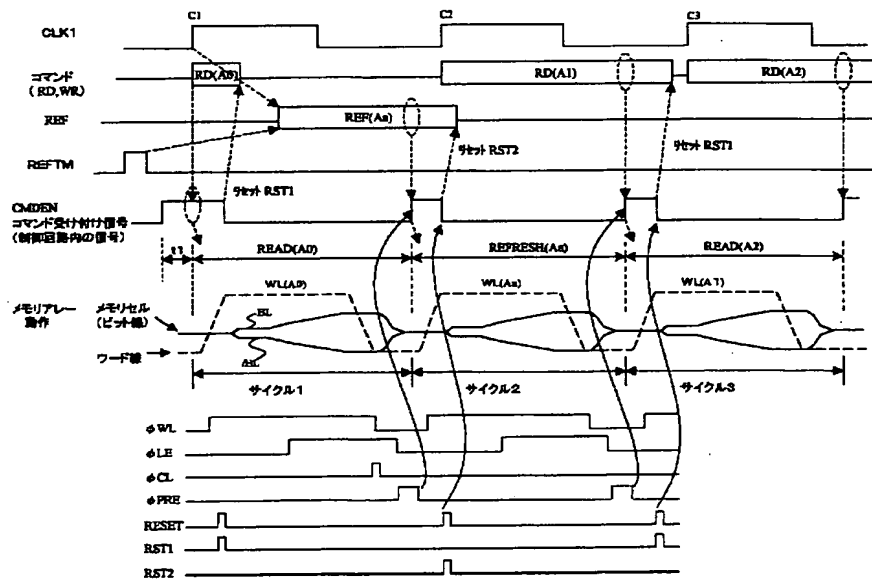
【図3】



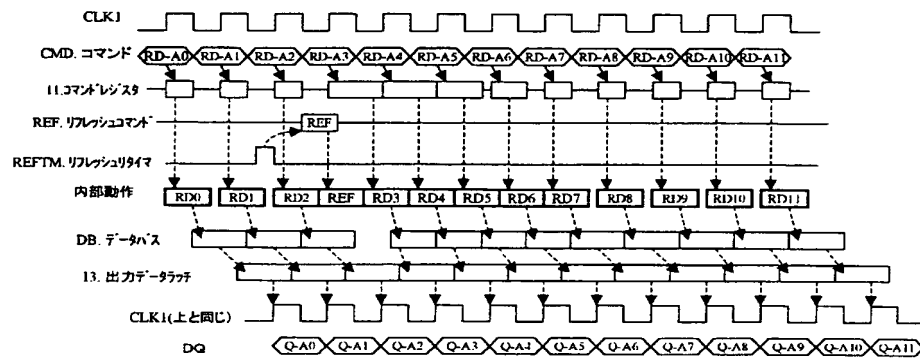
【図4】



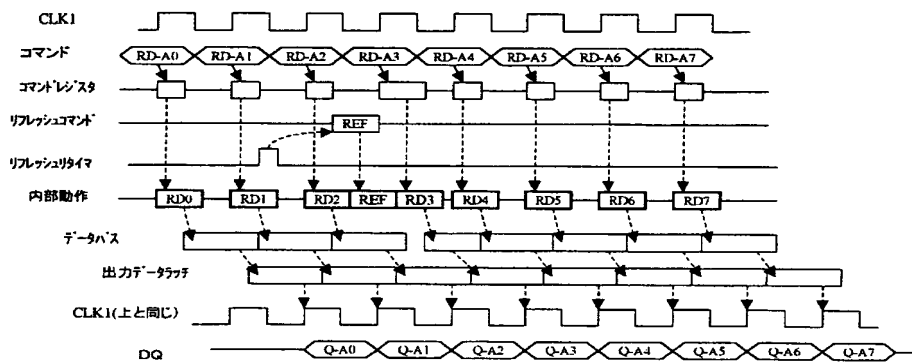
【図5】



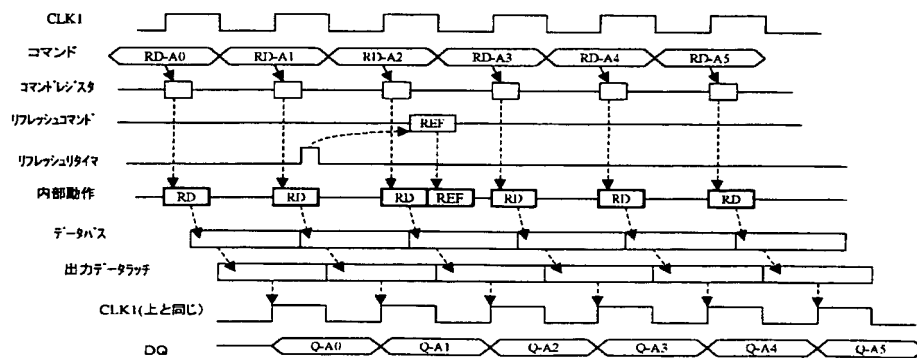
【図6】



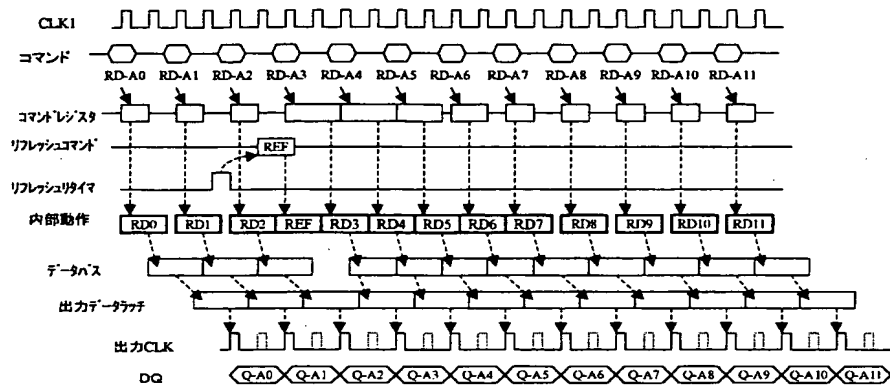
【図7】



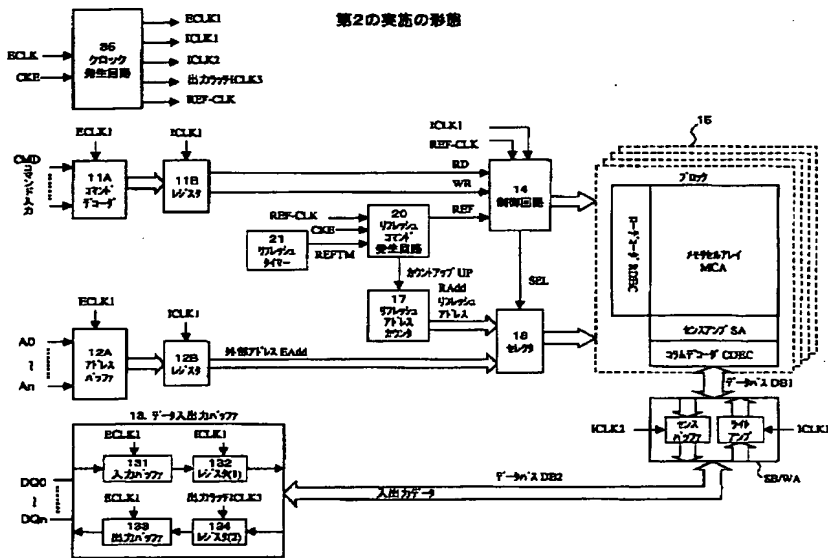
【図8】



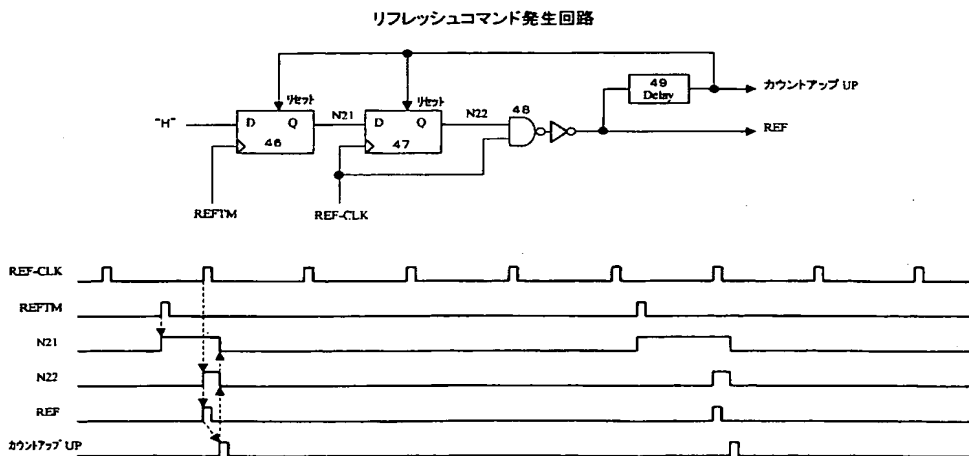
【図 9】



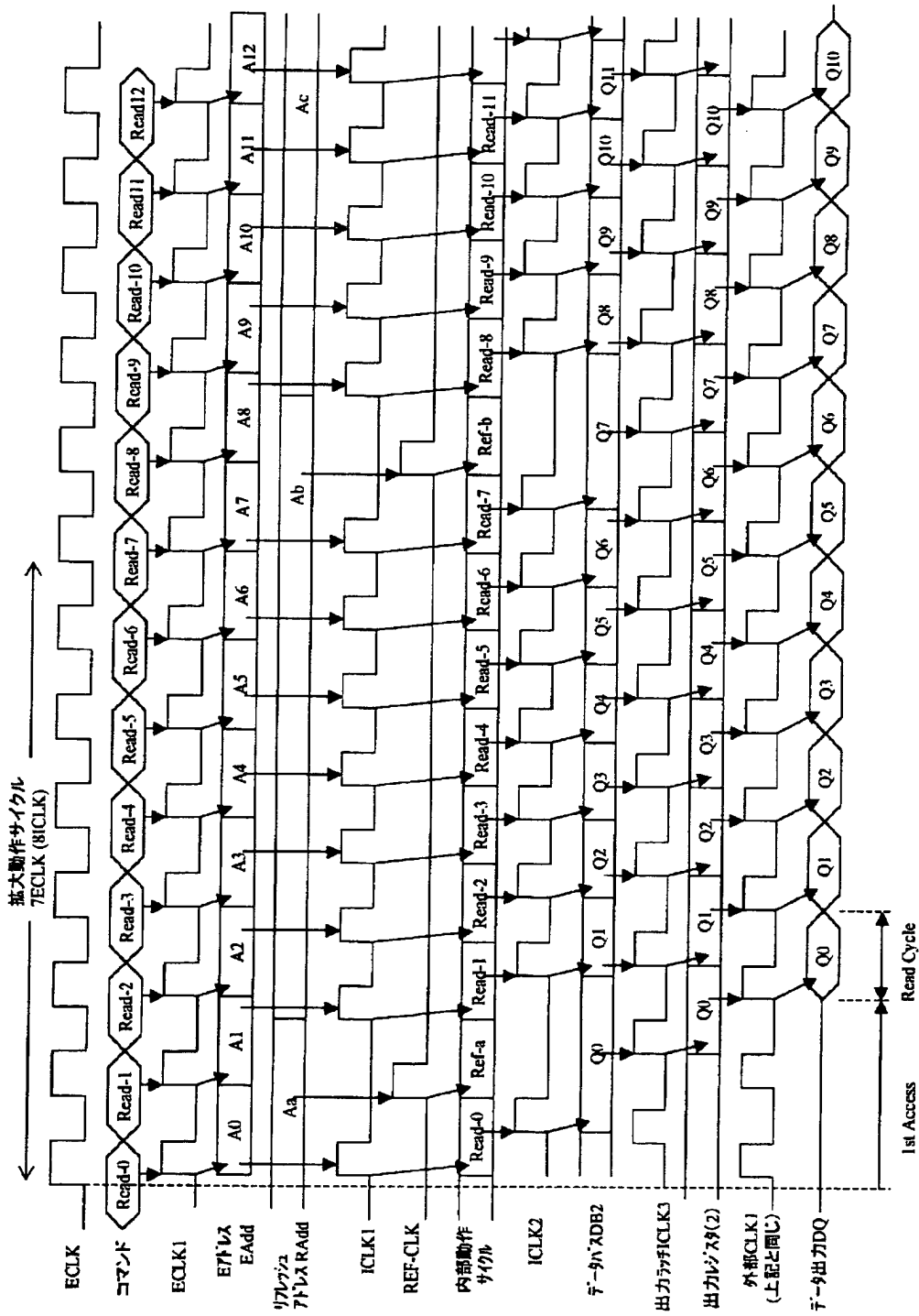
【図 10】



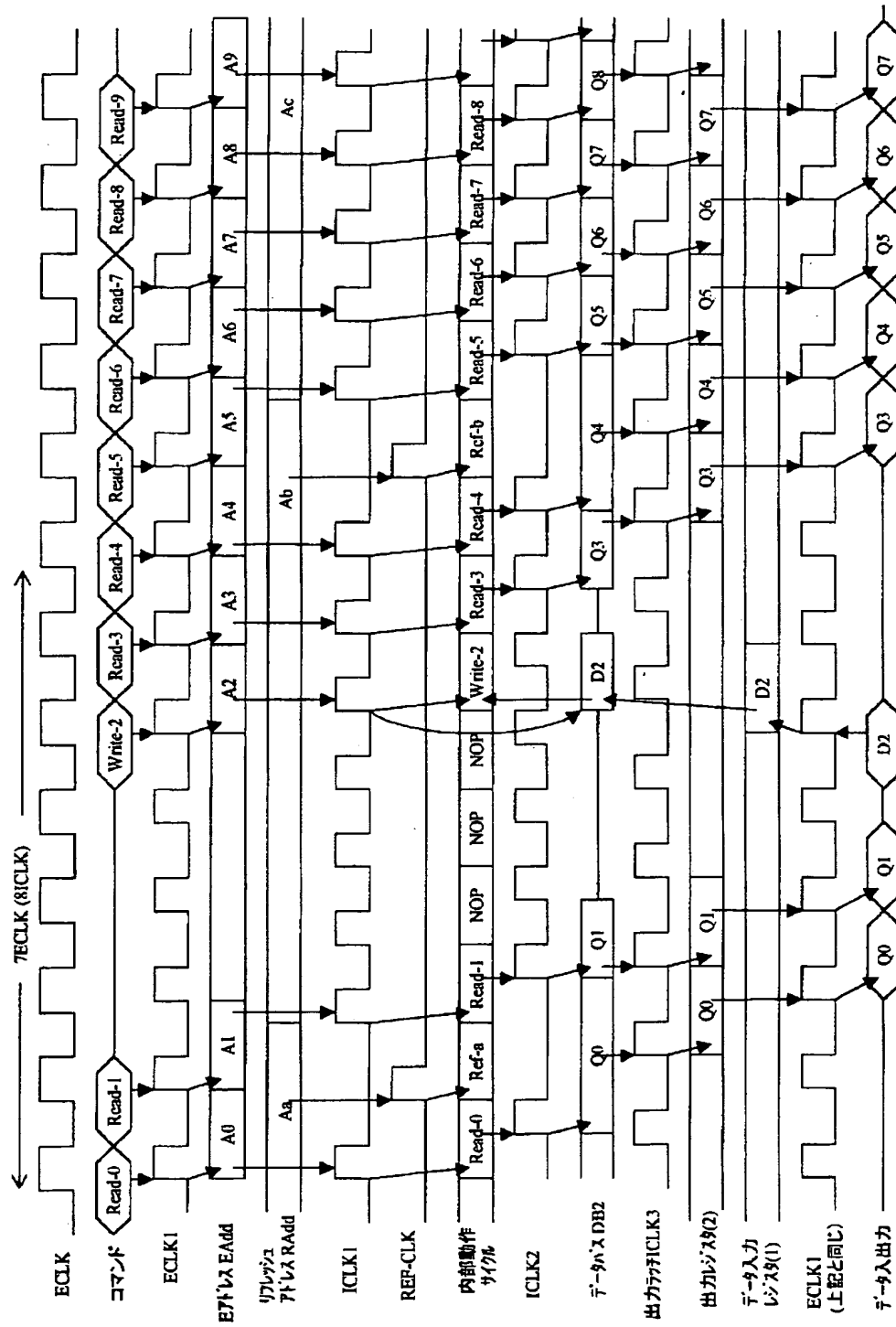
【図 15】



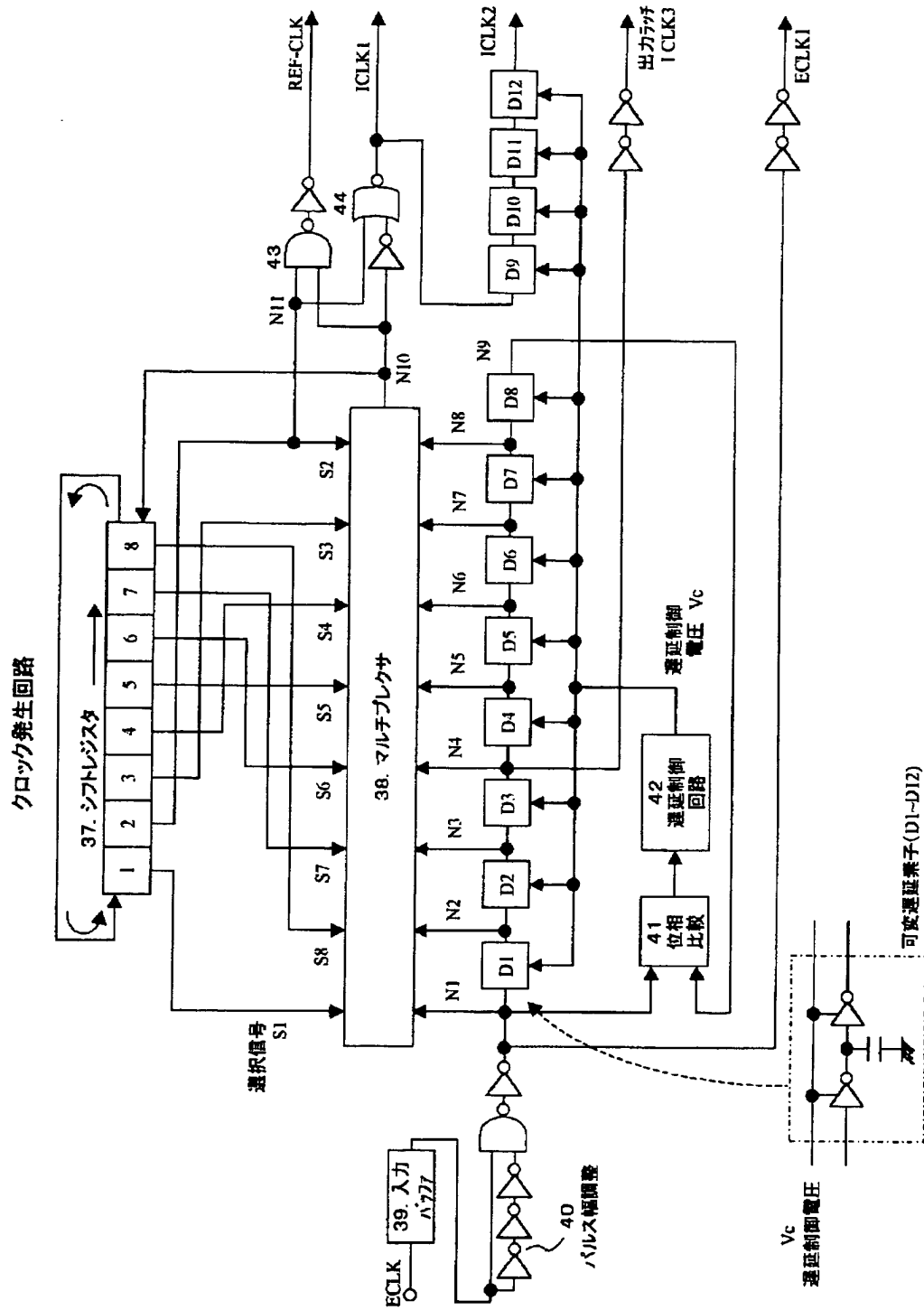
【図11】



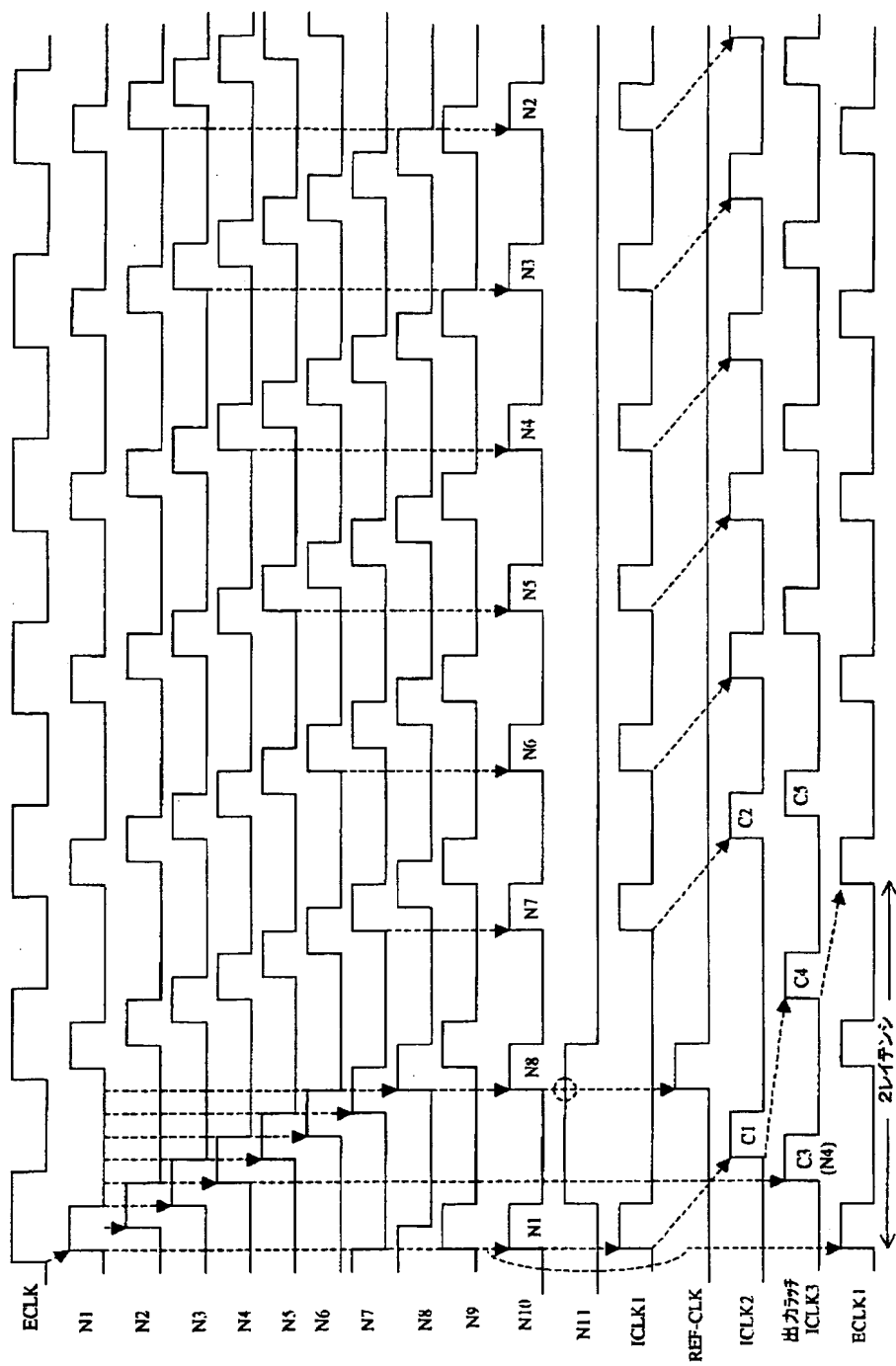
【図 12】



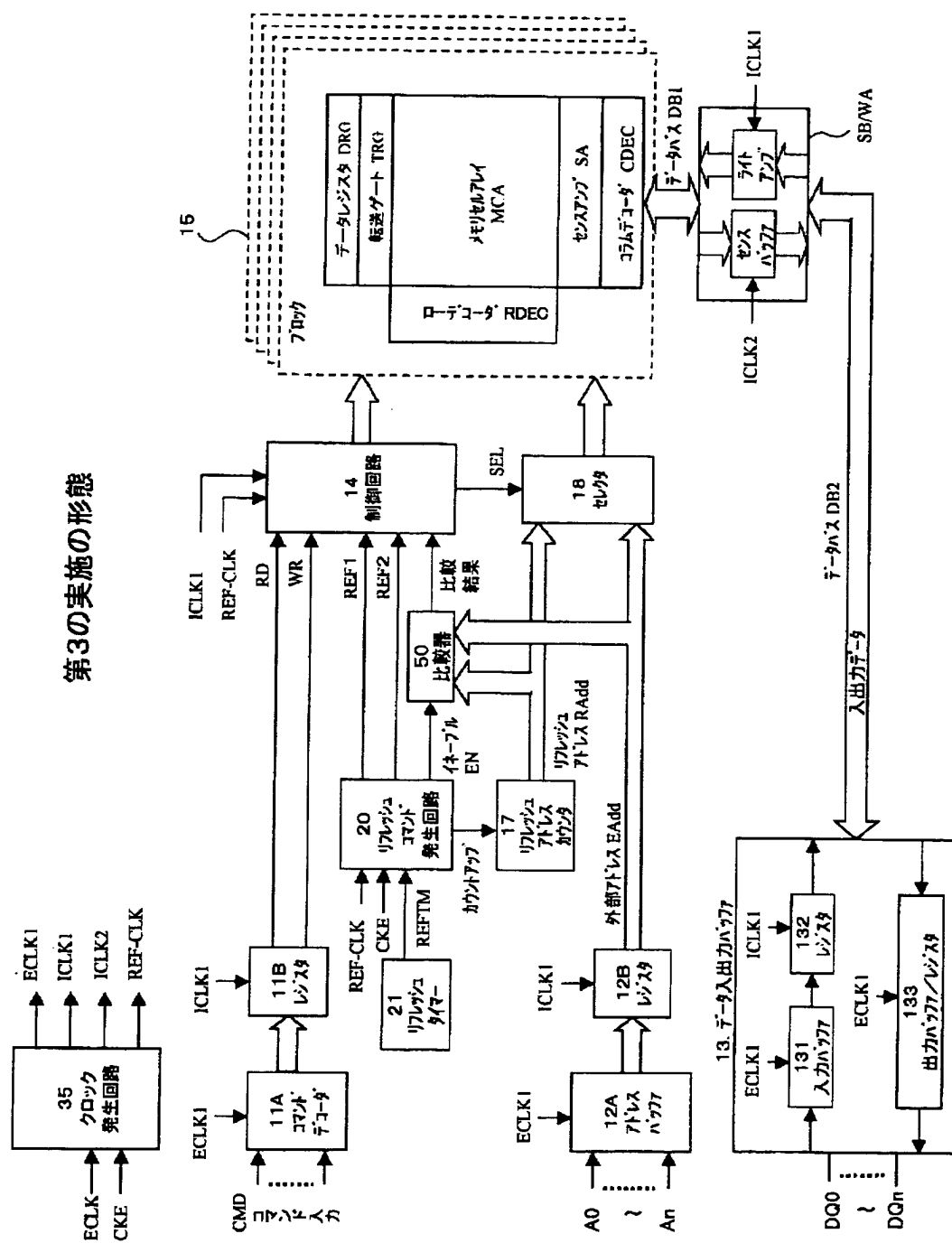
【図13】



【図14】

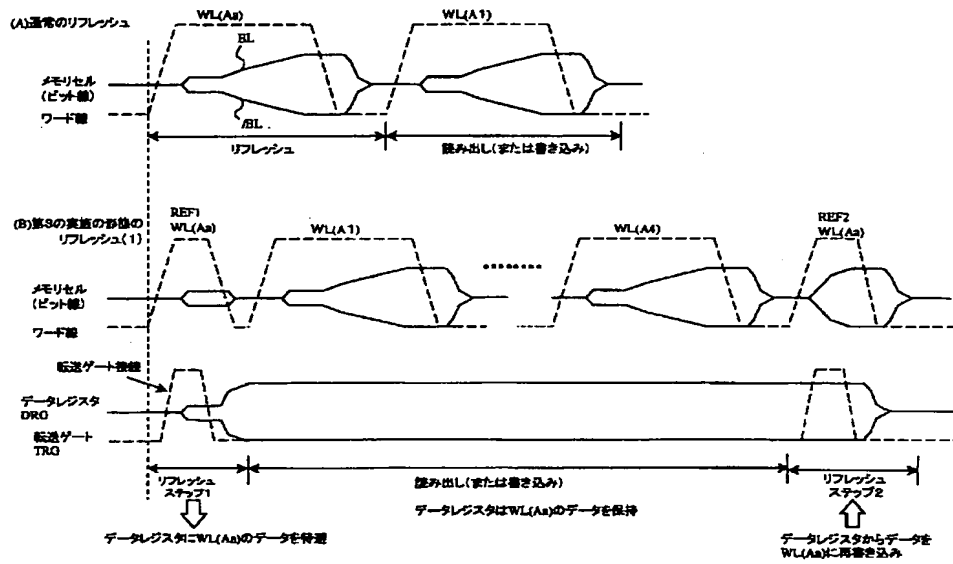


第3の実施の形態



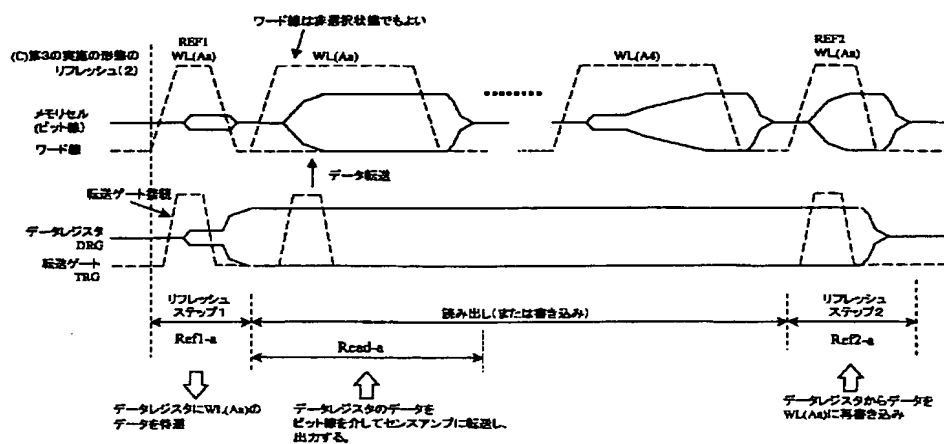
【図 1.7】

第3の実施の形態のリフレッシュを説明する図(1)

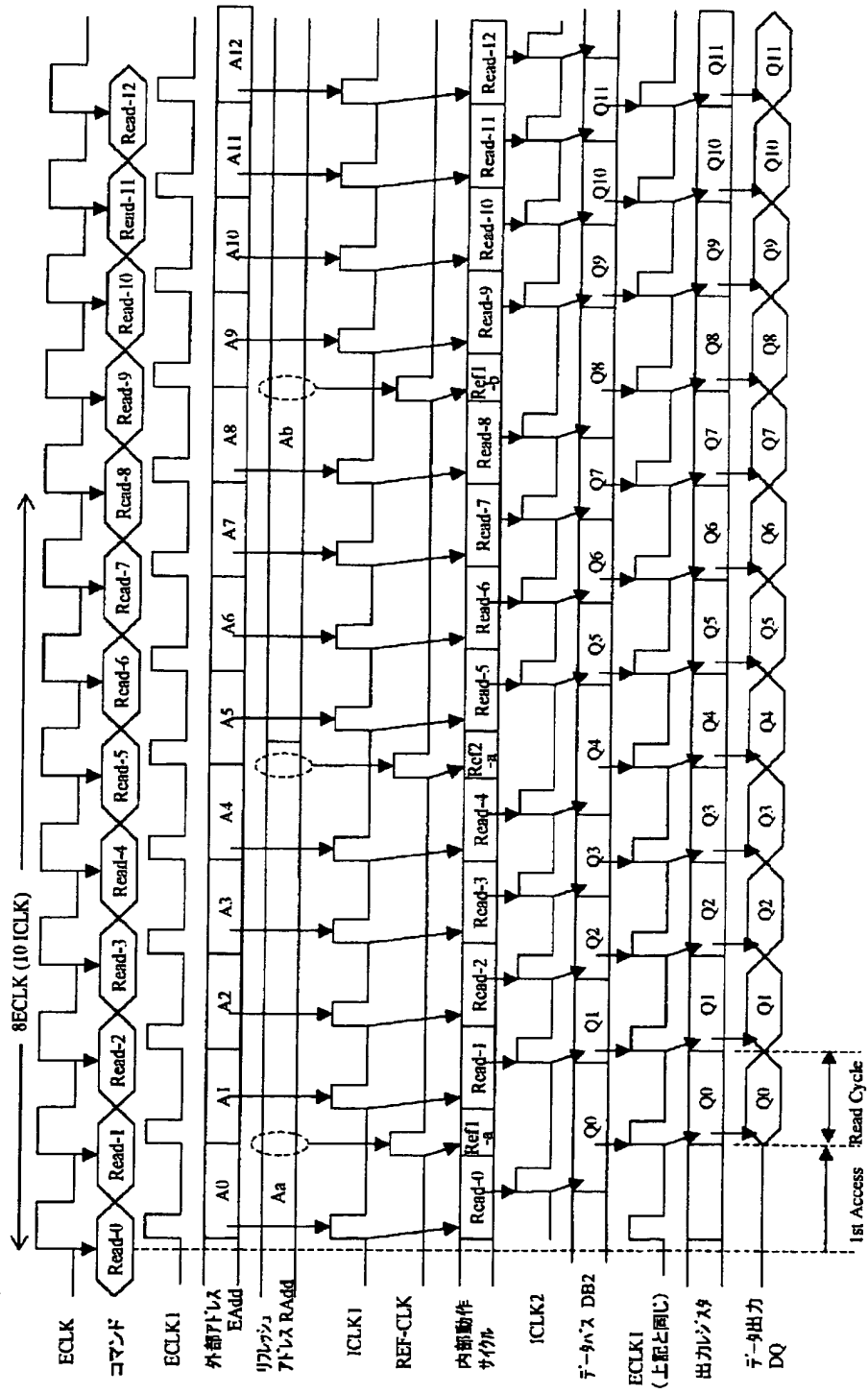


【図 1.8】

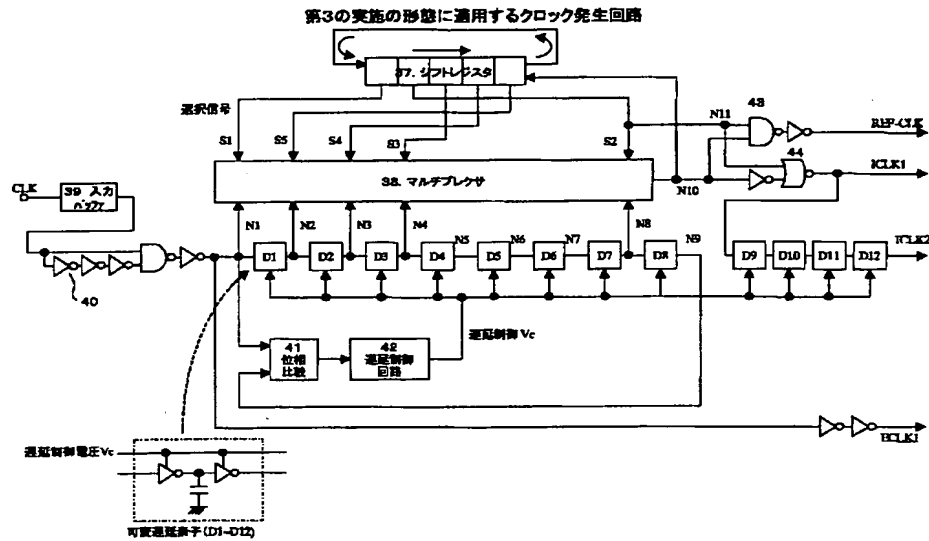
第3の実施の形態のリフレッシュを説明する図(2)



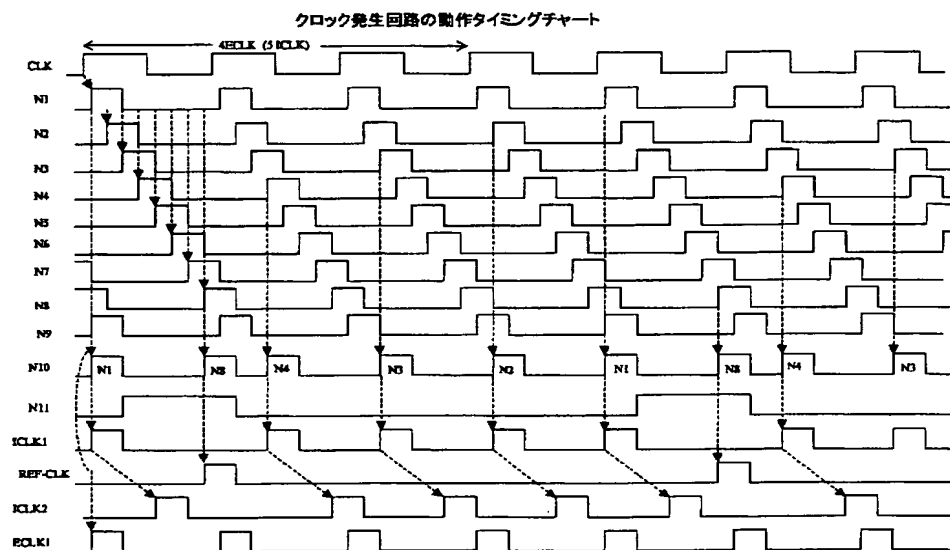
【図19】



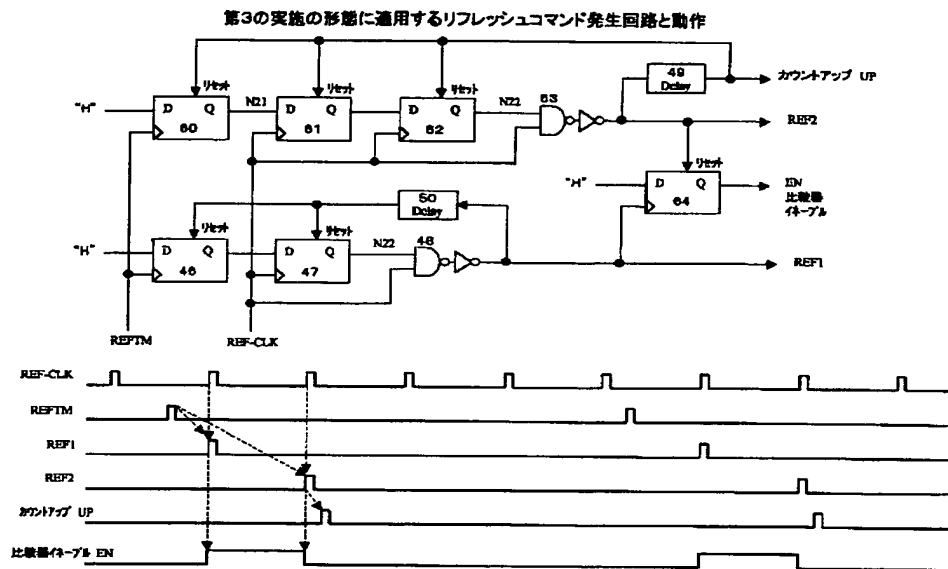
【図20】



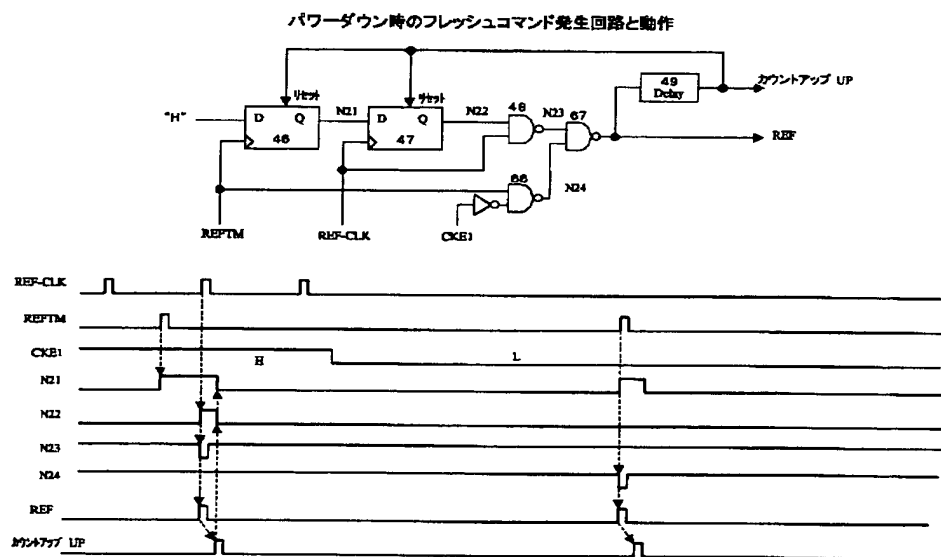
【図21】



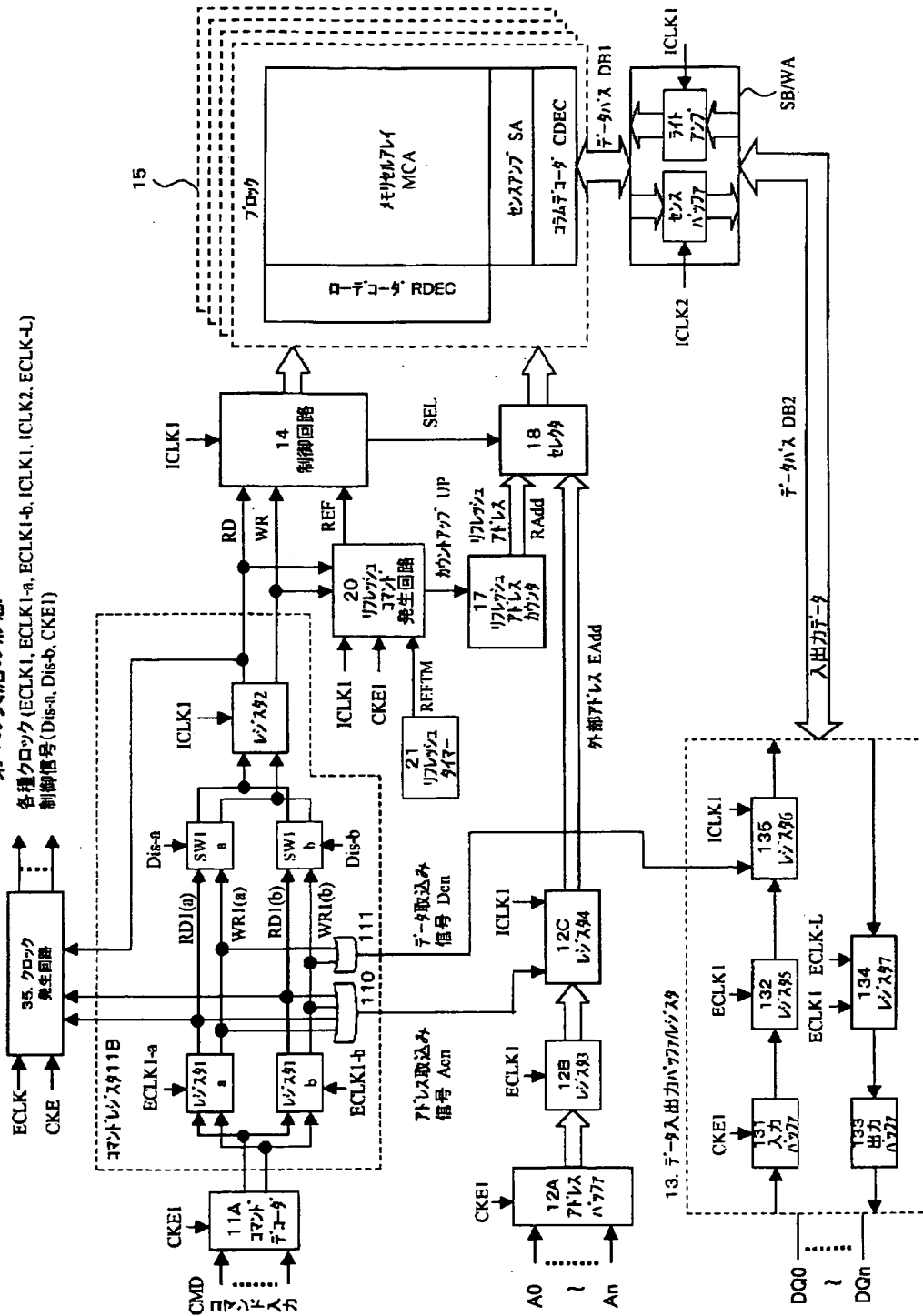
【図22】



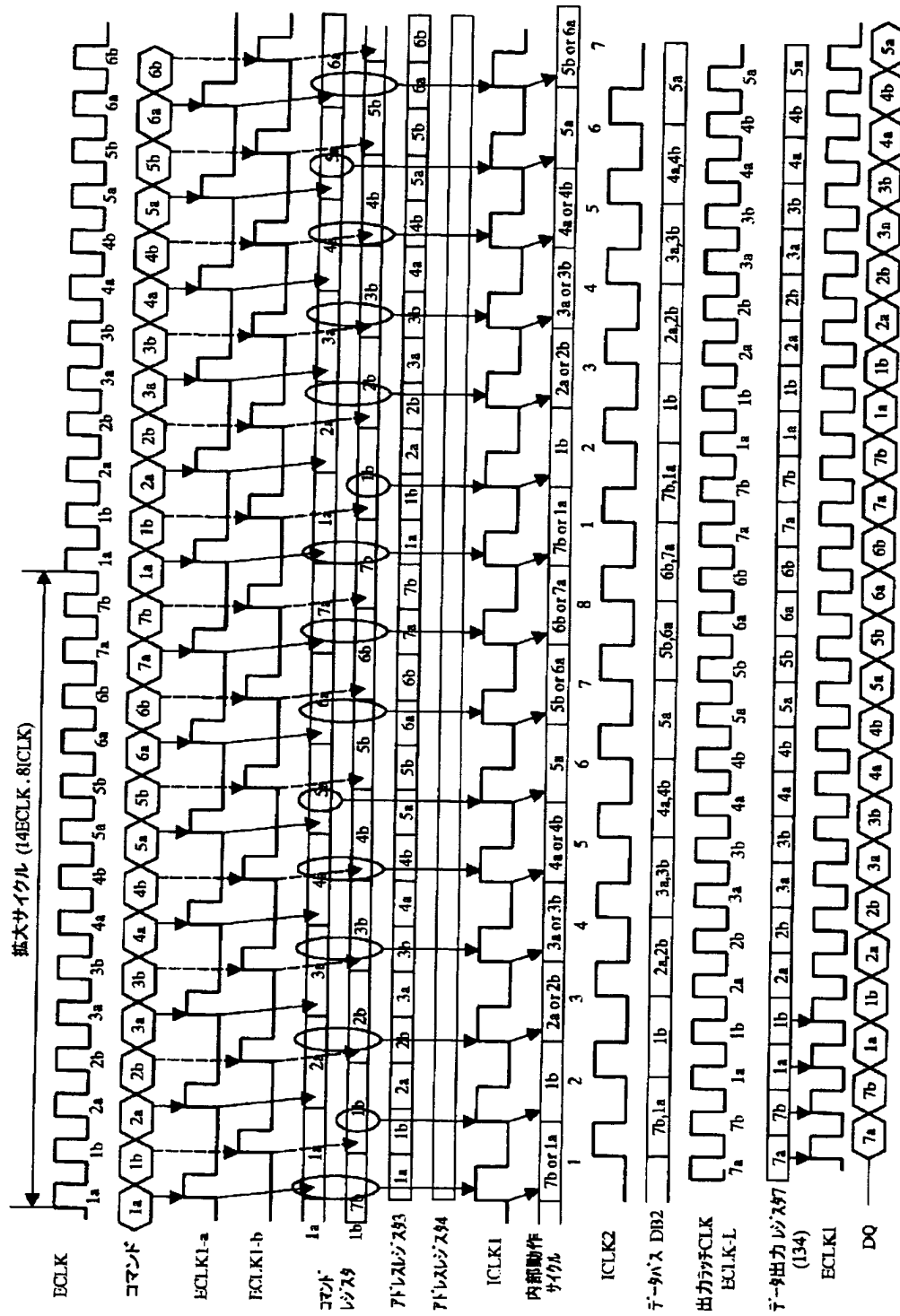
【図23】



第4の実施の形態

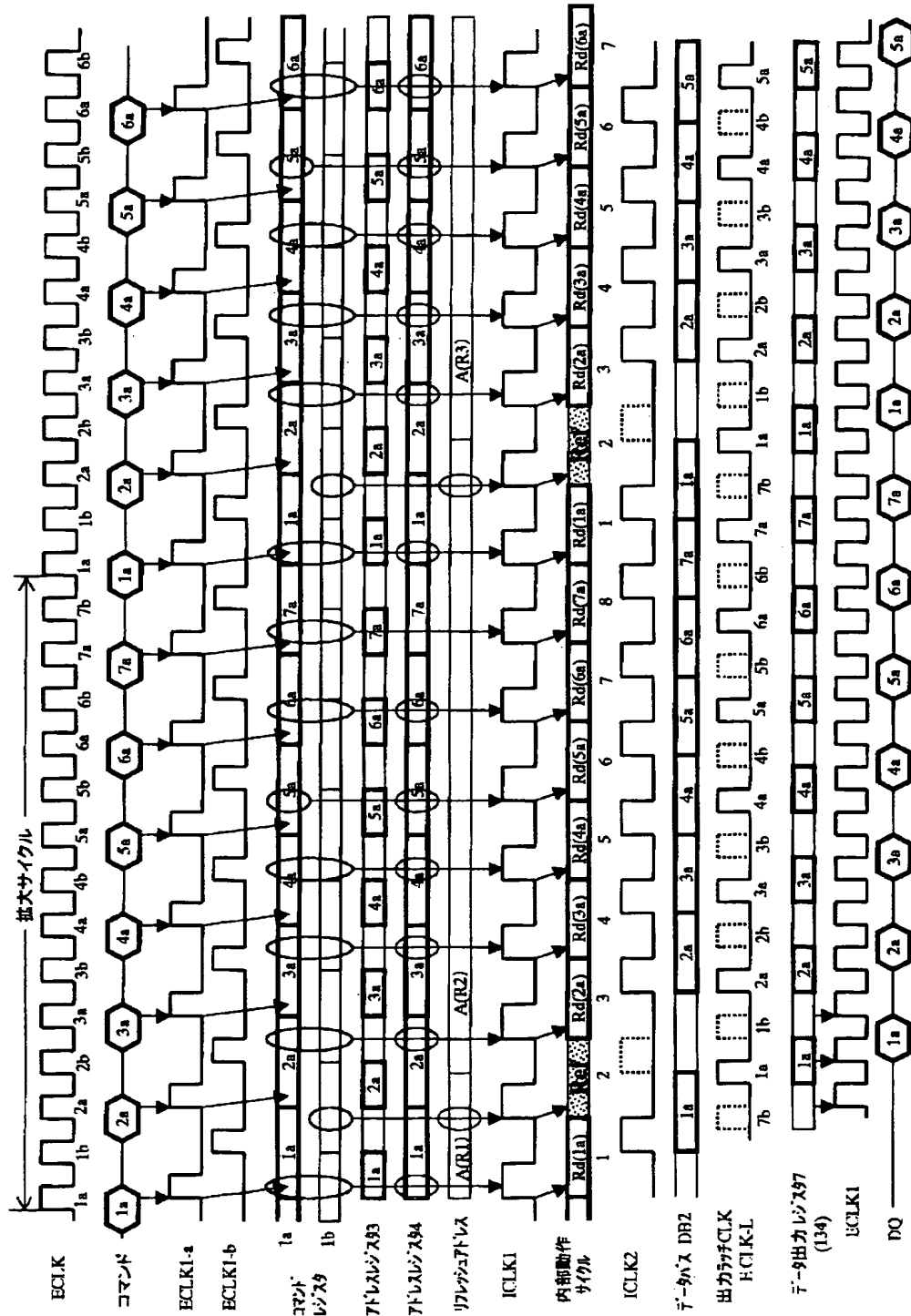


【図25】

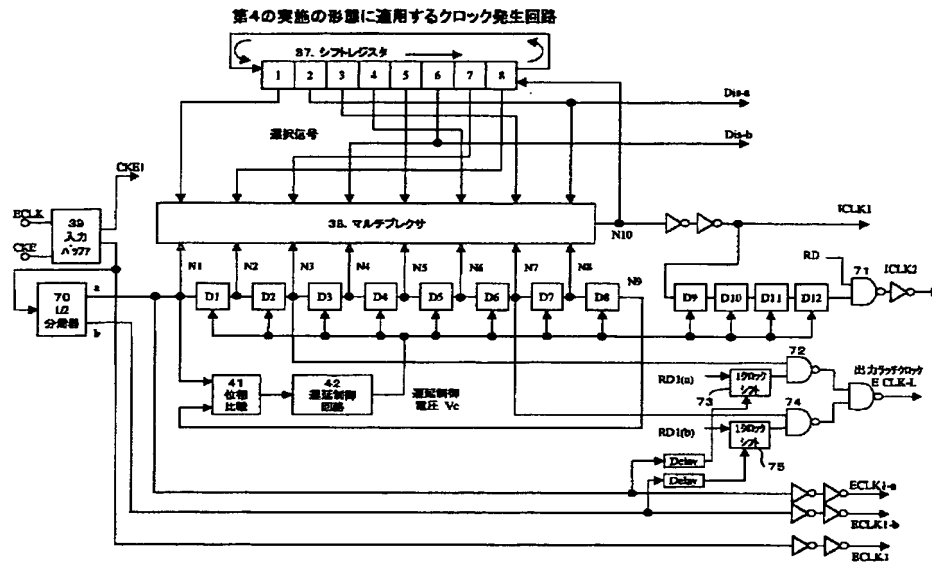


【図26】

位相a側でコマンド入力の場合

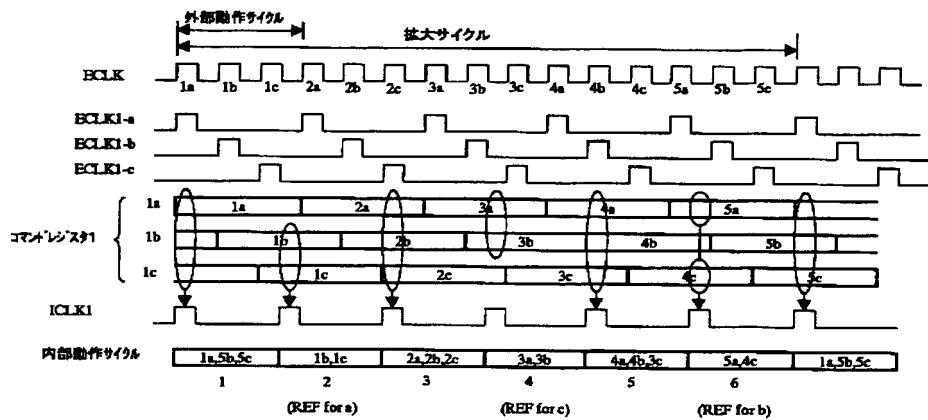


【図29】



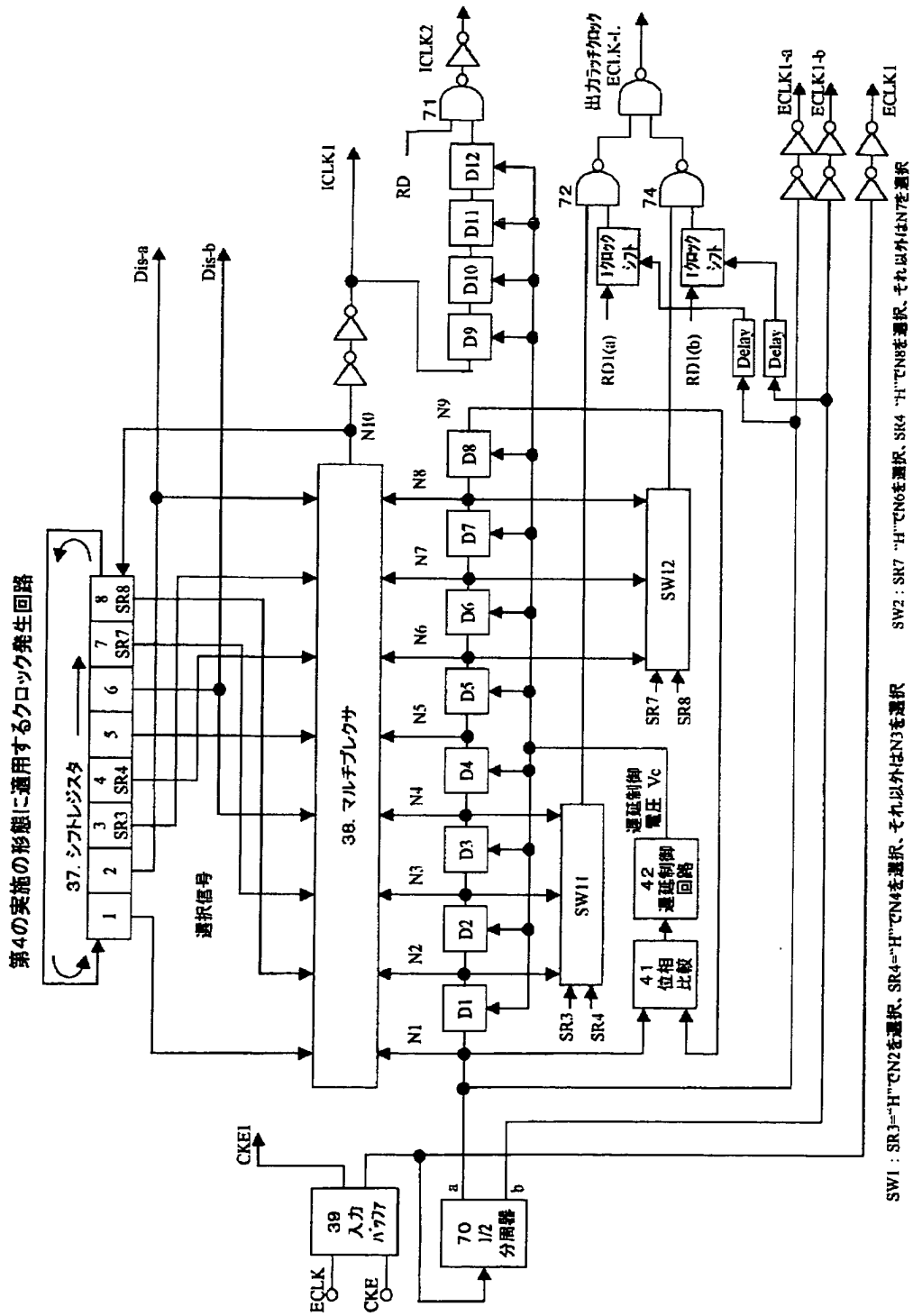
【図40】

第5の実施の形態の信号の流れ

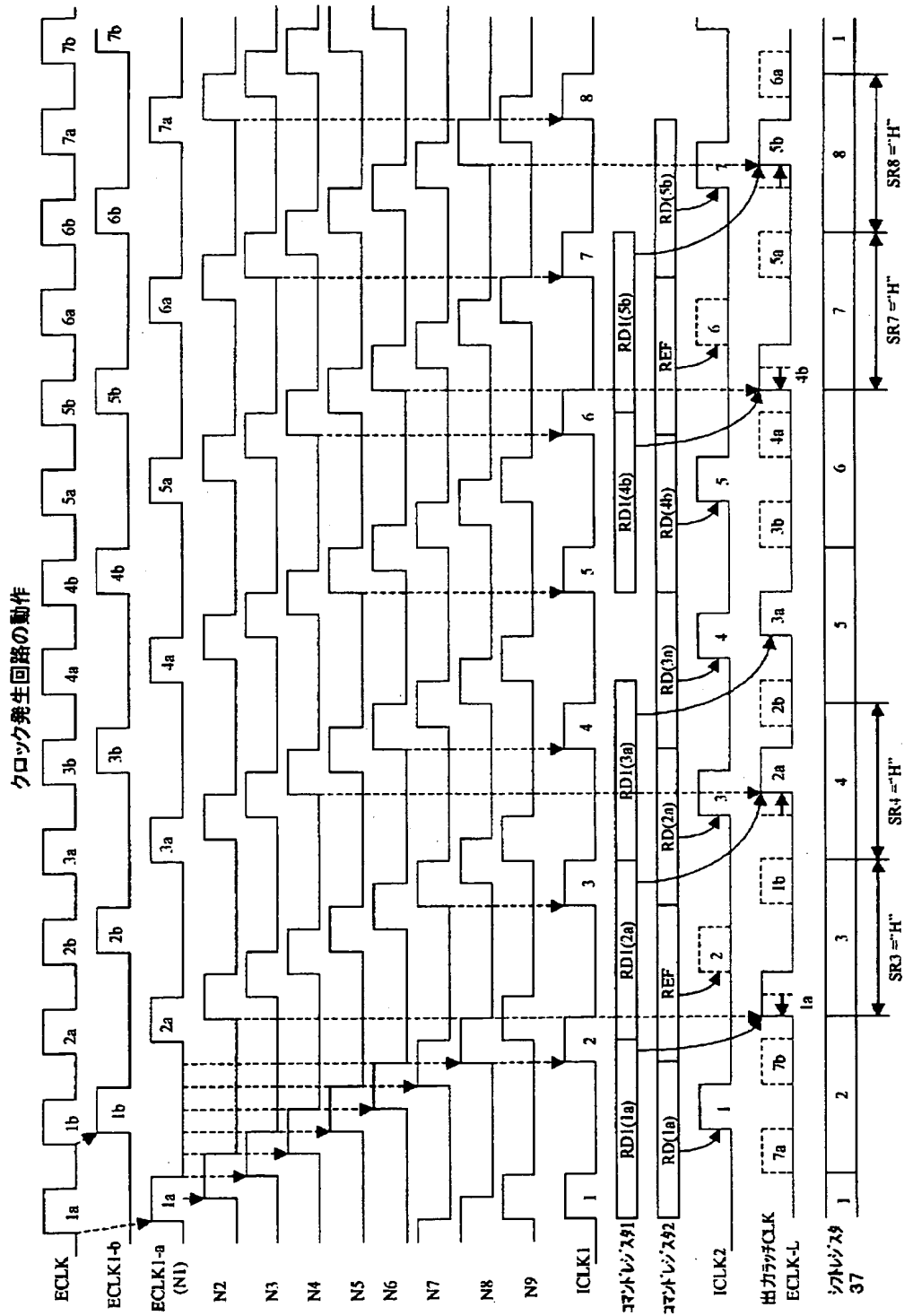


外部動作サイクル = 外部CLK 3サイクル

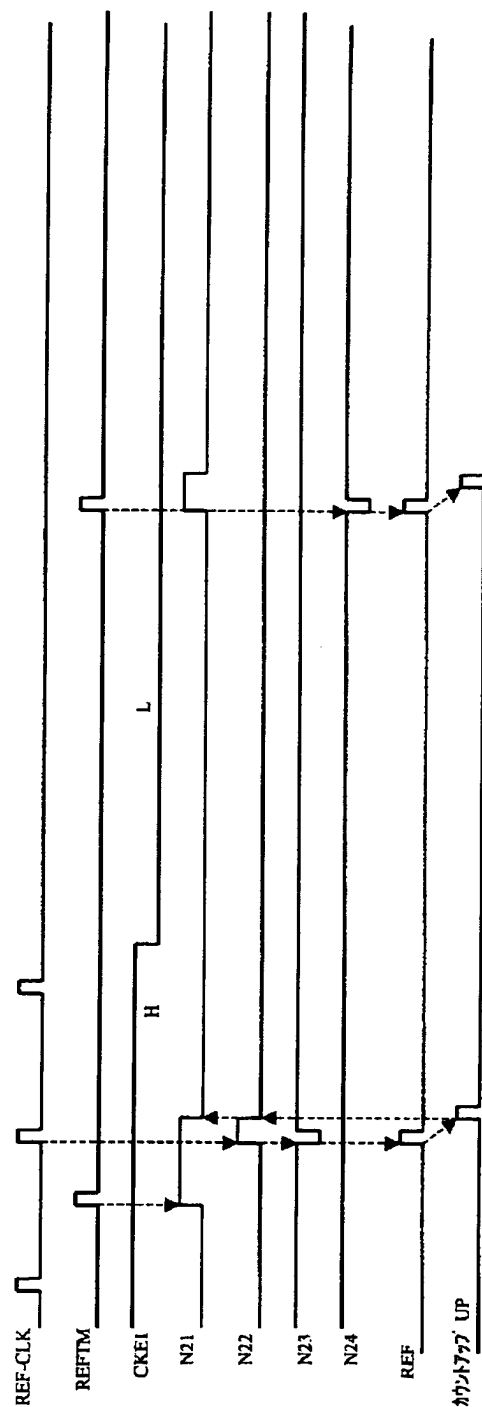
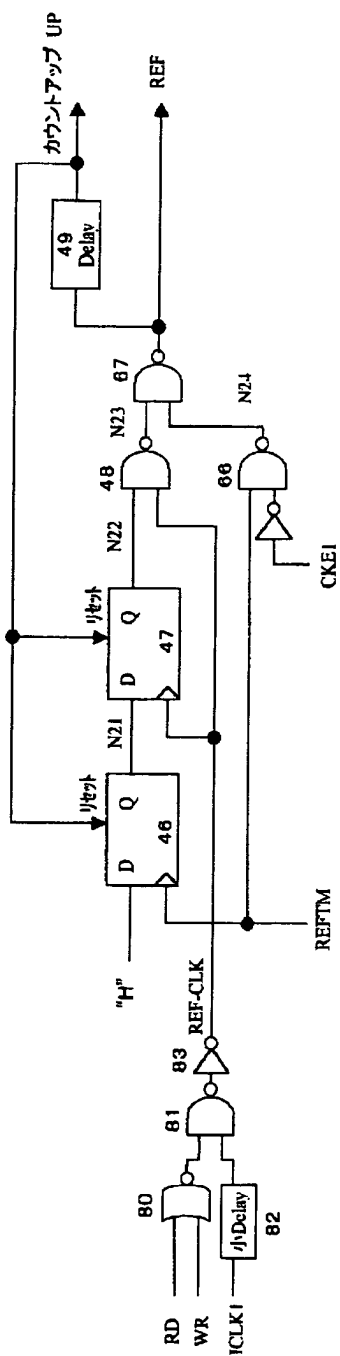
【図31】



【図 32】

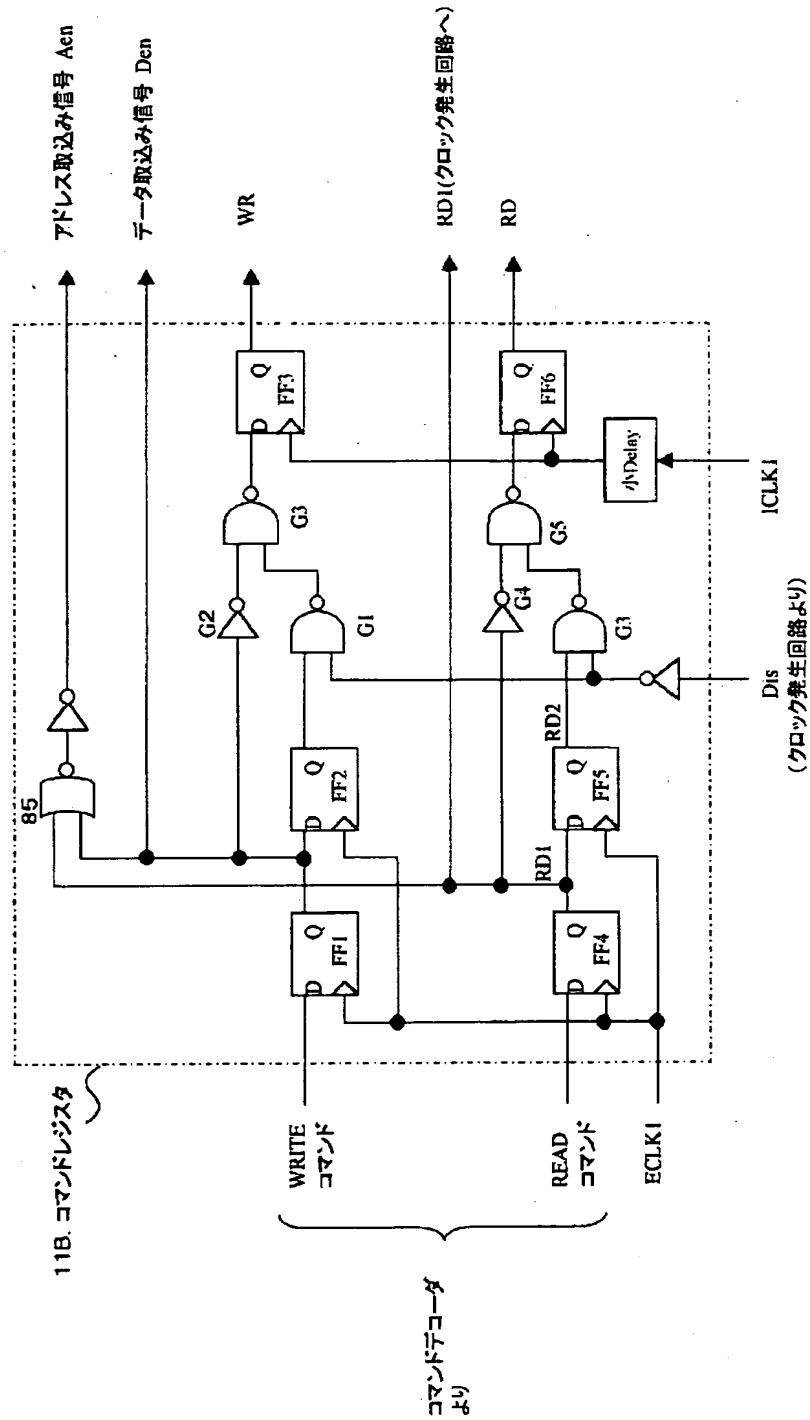


第4の実施の形態に適用するリフレッシュコマンド発生回路と動作



【図 34】

第4の実施の形態の別のコマンドレジスタの回路

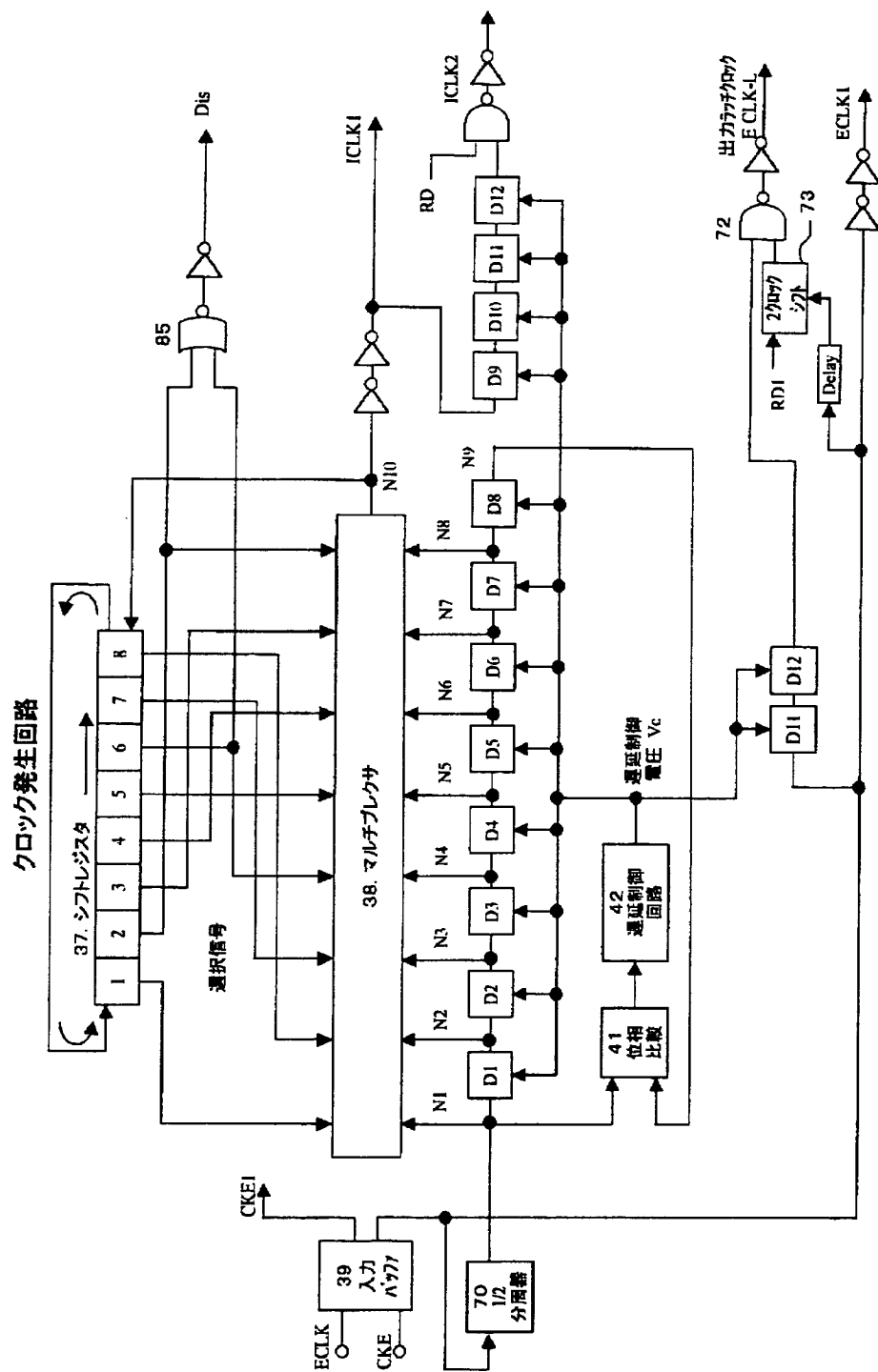


The timing diagram illustrates the sequence of events relative to the clock signal ECLK. Key features include:

- ECLK**: The primary clock signal, shown as a square wave.
- Command**: A series of hexagonal pulses representing commands, labeled with pairs like 1a, 1b, 2a, 2b, etc., up to 8a, 8b.
- ECLKI**: An inverted clock signal.
- RDI, RD1, RD2, RD3, RD4**: Data input/output signals, each with two phases (a and b) per cycle.
- Dis**: A discrete signal pulse occurring during cycle 1.
- ICLKI**: Another inverted clock signal.
- Internal Operation Cycle**: A signal indicating internal processing steps, numbered 1 through 8.
- ICLK2**: A second clock signal.
- D-Phi ADB2**: A signal related to the output clock phase.
- Output Clock FCK-I**: The final output clock signal.
- D-Phi Out LSI97 (134)**: A specific output signal from the LSI.
- ECLKI**: Repeated at the bottom of the diagram.
- DQ**: The data bus signal, shown as a series of hexagonal pulses.

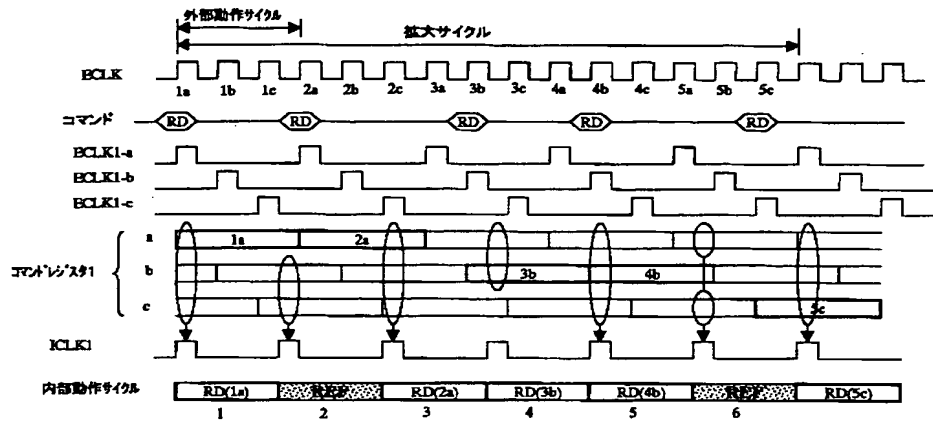
[illegible]

クロック発生回路



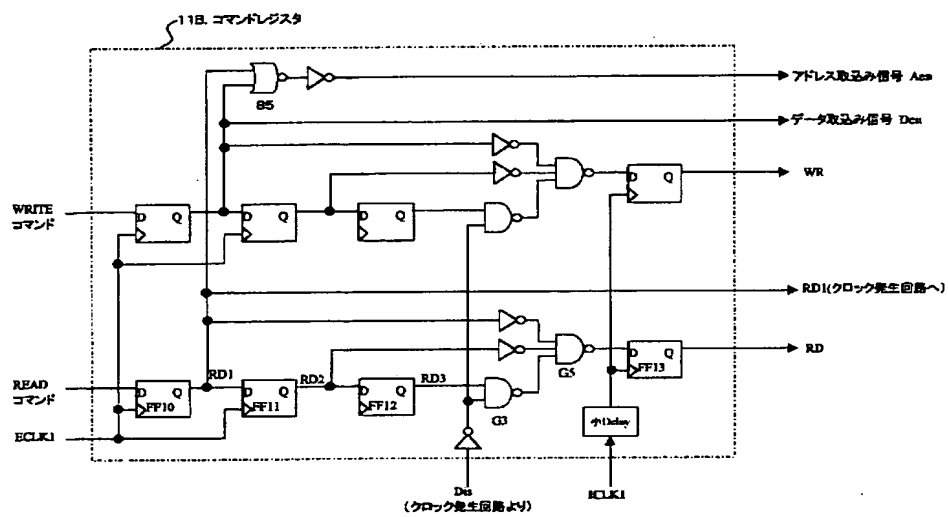
【図 4 1】

第5の実施の形態の動作



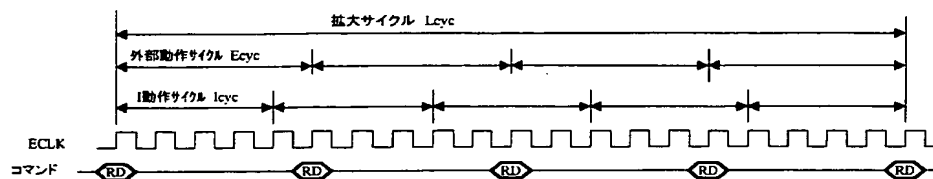
【図 4 2】

別のコマンドレジスタ回路



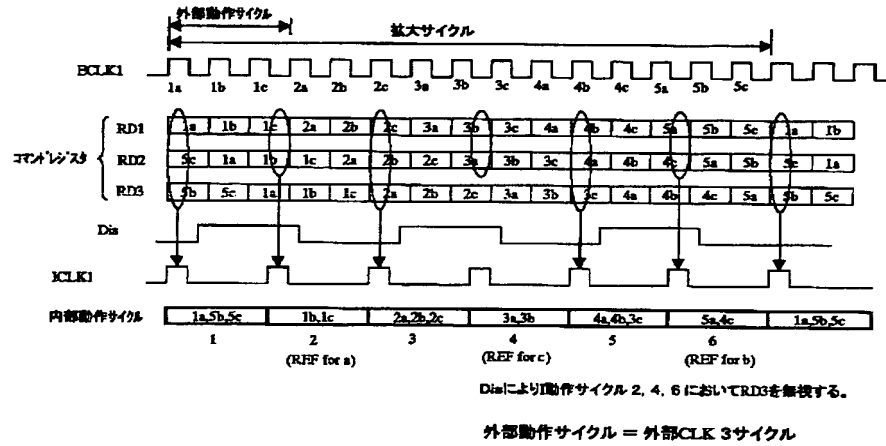
【図 4 5】

外部動作サイクルと内部動作サイクルがそれぞれ外部クロックサイクルの整数倍になる場合

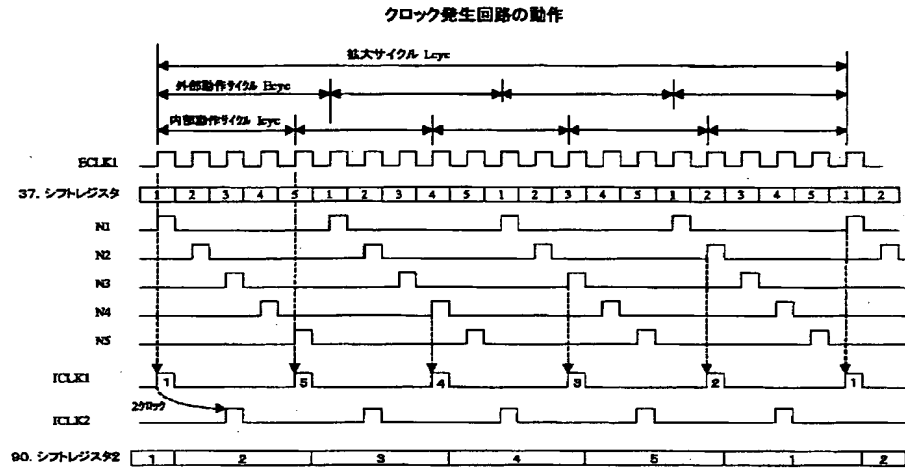


【図 4 3】

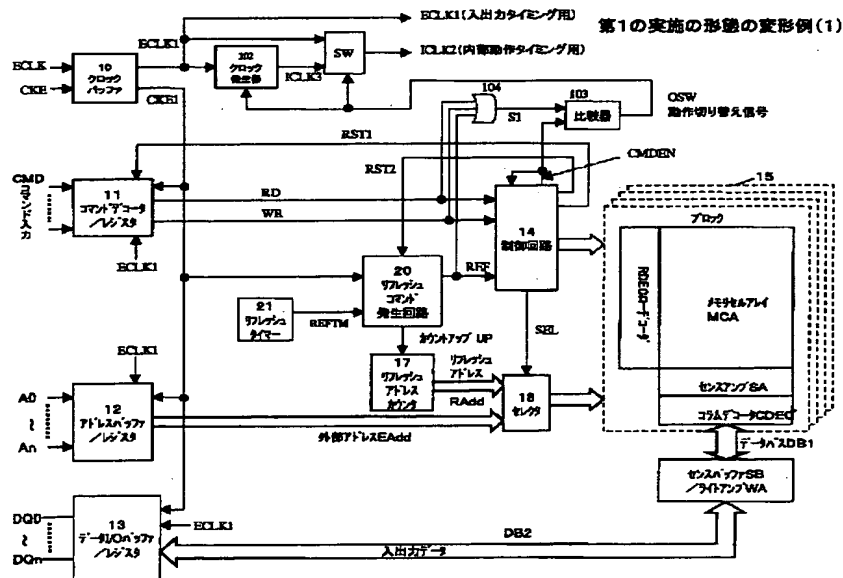
図42の信号の流れ



【図47】

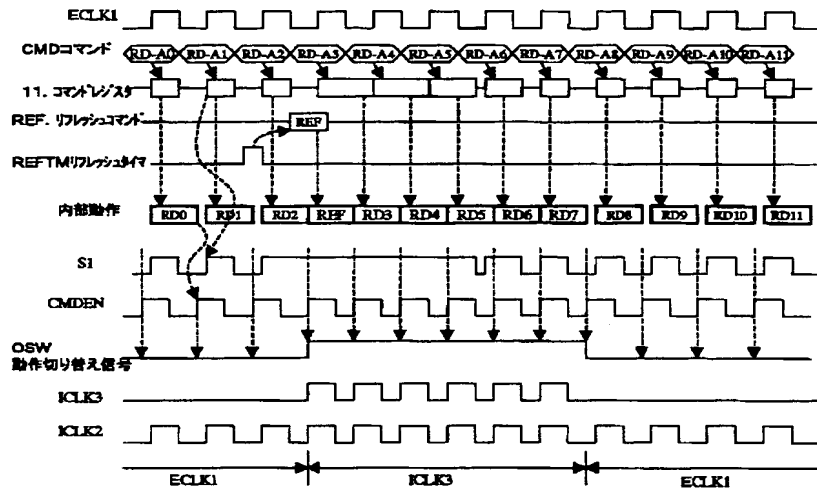


【図48】



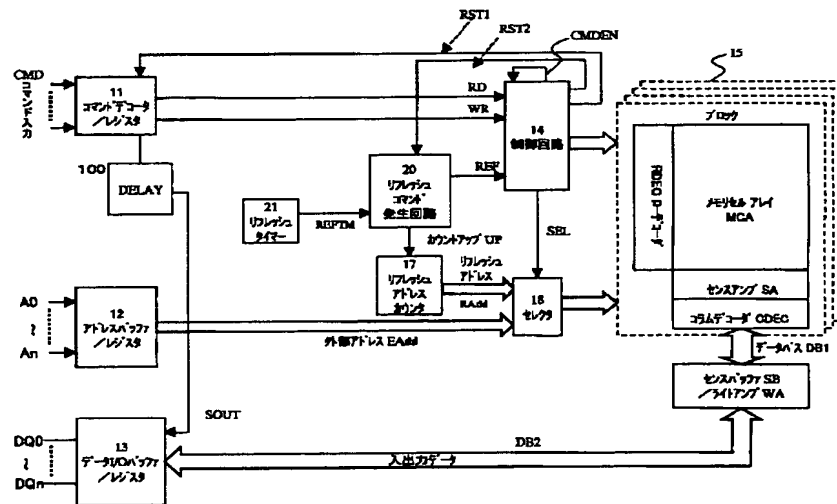
【図49】

第1の実施の形態の変形例(1)

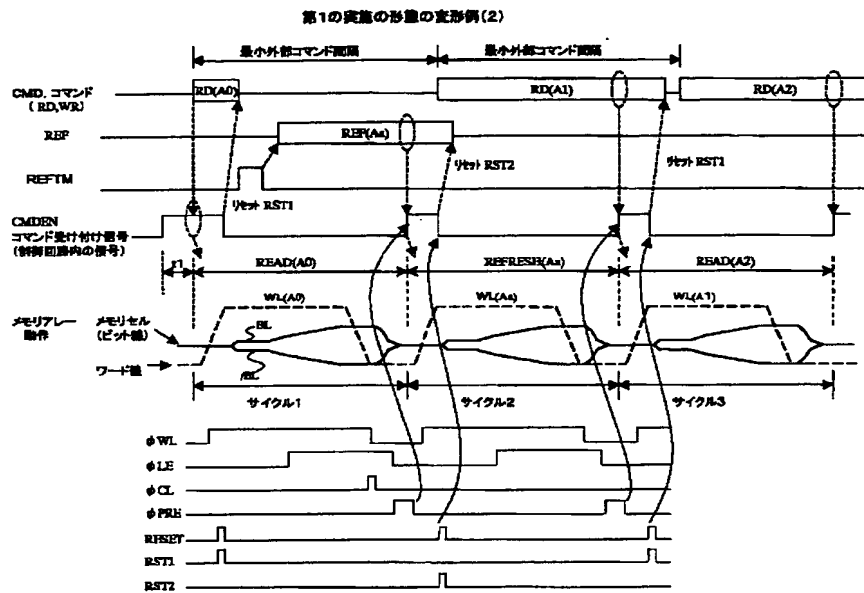


【図50】

第1の実施の形態の変形例(2)

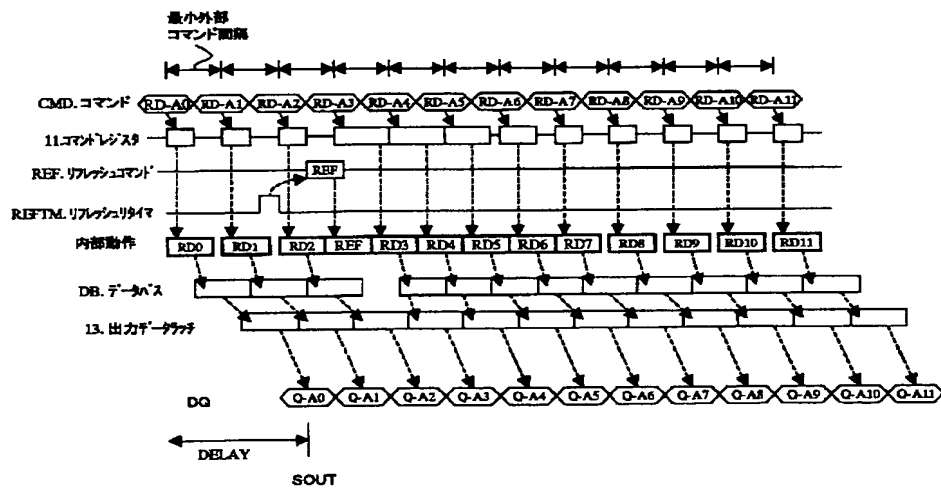


【図52】



【図53】

第1の実施の形態の変形例(2)



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)